



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

#4
21822
7-3-02

In re U.S. Patent Application of

HORIUCHI et al.

Application Number: 10/086,376

Filed: March 4, 2002

For: DATA PROCESSOR

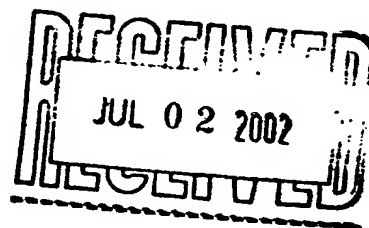
Attorney Docket No. TAMA.0001

RECEIVED

APR 16 2002

Technology Center 2100

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231



LETTER

Sir:

The below-identified communications are submitted in the above-captioned application or proceeding:

- | | | |
|---|---------------------------|---|
| <input checked="" type="checkbox"/> (X) | Priority Documents (1) | |
| <input checked="" type="checkbox"/> (X) | Request for Priority | <input type="checkbox"/> () Assignment Document |
| <input type="checkbox"/> () | Response to Missing Parts | <input type="checkbox"/> () Petition under 37 C.F.R. § 1.47(a) |
| | w/ signed Declaration | <input type="checkbox"/> () Check for \$ |

- ☒ The Commissioner is hereby authorized to charge payment of any fees associated with this communication, including fees under 37 C.F.R. § 1.16 and 1.17 or credit any overpayment to **Deposit Account Number 08-1480**. A duplicate copy of this sheet is attached.

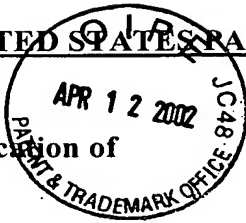
Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200

April 12, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



In re U.S. Patent Application of)

HORIUCHI et al.)

Application Number: 10/086,376)

Filed: March 4, 2002)

For: DATA PROCESSOR)

Attorney Docket No. TAMA.0001)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

RECEIVED
APR 16 2002
Technology Center 2100

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of May 14, 2001, the filing date of the corresponding Japanese patent application 2001-142497.

The certified copy of corresponding Japanese patent applications 2001-142497 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

A handwritten signature in cursive script, appearing to read "Stanley P. Fisher", written over a horizontal line.

Stanley P. Fisher

Registration Number 24,344

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
April 12, 2002



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2001年 5月14日

出願番号
Application Number:

特願2001-142497

[ST.10/C]:

[JP2001-142497]

出願人
Applicant(s):

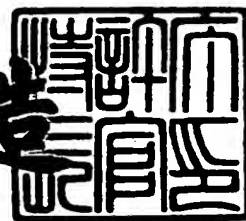
株式会社日立製作所
日立北海セミコンダクタ株式会社

RECEIVED
APR 16 2002
Technology Center 2100

2002年 3月15日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3017848

【書類名】 特許願
【整理番号】 H01006911
【提出日】 平成13年 5月14日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 13/00
【発明者】

【住所又は居所】 北海道亀田郡七飯町字中島 1 4 5 番地 日立北海セミコ
ンダクタ株式会社内

【氏名】 堀内 通博

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 岩田 克美

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233594

【氏名又は名称】 日立北海セミコンダクタ株式会社

【代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【電話番号】 047-361-8861

【手数料の表示】

【予納台帳番号】 011040

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データプロセッサ

【特許請求の範囲】

【請求項 1】 中央処理装置と、前記中央処理装置の制御に基づいてデータ転送制御可能なデータ転送制御回路と、データ転送を要求可能な周辺回路とを有し、

前記周辺回路は、入力端子を選択し、選択した入力端子からの入力データを処理し、処理結果の転送を要求すると共に当該選択した入力端子を識別可能な識別情報を出力し、

前記データ転送制御回路は前記周辺回路からの識別情報に基づいて下位複数ビットが可変可能にされた転送先アドレスレジスタを有して成るものであることを特徴とするデータプロセッサ。

【請求項 2】 前記周辺回路は入力データの処理結果を格納するのに共通利用されるデータレジスタを有して成るものであることを特徴とする請求項 1 記載のデータプロセッサ。

【請求項 3】 前記周辺回路は変換部と変換制御部を有しアナログ信号をデジタルデータに変換するアナログデジタルコンバータであり、

前記変換部は複数のアナログ入力チャネルと、夫々のアナログ入力チャネルからの入力信号に対する変換結果の格納に共通利用される変換データレジスタとを有し、

前記変換制御部は変換データレジスタに格納された変換結果の転送を要求すると共に当該変換結果に応ずるアナログ入力チャネルを特定可能なコード情報を前記識別情報として出力するものであることを特徴とする請求項 1 記載のデータプロセッサ。

【請求項 4】 前記変換部は、複数のアナログ入力チャネルの中から一つを選択するアナログマルチプレクサを有し、アナログマルチプレクサで選択されたアナログ入力チャネルからのアナログ信号を逐次比較形式でデジタルデータに変換するものであることを特徴とする請求項 3 記載のデータプロセッサ。

【請求項 5】 前記変換制御部は前記マルチプレクサにアナログ入力チャネ

ルを選択させる選択情報を保持するチャンネル選択レジスタを有し、当該チャンネル選択レジスタが保持する選択情報を前記コード情報として出力するものであることを特徴とする請求項4記載のデータプロセッサ。

【請求項6】 前記変換制御部は前記チャンネル選択レジスタの値をインクリメント可能な演算手段を有して成るものであることを特徴とする請求項5記載のデータプロセッサ。

【請求項7】 前記データ転送制御回路は、データ転送要求に応答してメモリから転送制御条件を読み込んでデータ転送制御を行う回路であり、読み込んだ転送制御条件により転送先アドレスレジスタに設定されたアドレス情報が前記識別情報にて書換え可能にされて成るものであることを特徴とする請求項1乃至6の何れか1項記載のデータプロセッサ。

【請求項8】 前記データ転送制御回路は、中央処理装置により予め設定された転送制御条件に従ってデータ転送制御を行う回路であり、転送制御条件として転送先アドレスレジスタに設定されたアドレス情報が前記識別情報にて書換え可能にされて成るものであることを特徴とする請求項1乃至6の何れか1項記載のデータプロセッサ。

【請求項9】 前記転送先アドレスレジスタが保持するアドレス情報によってアドレッシング可能にされるRAMを有して成るものであることを特徴とする請求項1乃至8の何れか1項記載のデータプロセッサ。

【請求項10】 1個の半導体チップに形成されて成るものであることを特徴とする請求項9記載のデータプロセッサ。

【請求項11】 中央処理装置と、前記中央処理装置の制御に基づいてデータ転送制御可能なデータ転送制御回路と、データ転送を要求可能な周辺回路とを有し、

前記周辺回路は、対応するイベントの発生に応答した処理を行い、その処理結果の転送を要求すると共に当該処理結果に対応するイベント発生を識別可能な識別情報を出力し、

前記データ転送制御回路は前記周辺回路からの識別情報に基づいて下位複数ビットが可変可能にされた転送先アドレスレジスタを有して成るものであることを

特徴とするデータプロセッサ。

【請求項 1 2】 前記周辺回路は前記イベント発生毎に処理結果を格納するのに共通利用されるデータレジスタを有して成るものであることを特徴とする請求項 1 1 記載のデータプロセッサ。

【請求項 1 3】 前記周辺回路はカウンタ部とカウンタ制御部とを有し、
カウンタ部は、計数手段と前記計数手段の計数値を格納するデータレジスタとを有し

前記カウンタ制御部は、対応するイベント入力チャネルからのイベント発生の通知に応答して前記計数手段の計数値をデータレジスタに格納させ、当該データレジスタに格納された計数値の転送を要求すると共に前記変化を生じたイベント入力チャネルを他のイベント入力チャネルと区別可能なコード情報を前記識別情報として出力するものであることを特徴とする請求項 1 1 記載のデータプロセッサ。

【請求項 1 4】 前記データレジスタは複数のイベント入力チャネルに共通化されたインプットキャプチャレジスタであることを特徴とする請求項 1 3 記載のデータプロセッサ。

【請求項 1 5】 前記データ転送制御回路は、データ転送要求に応答してメモリから転送制御条件を読み込んでデータ転送制御を行う回路であり、読み込んだ転送制御条件により転送先アドレスレジスタに設定されたアドレス情報が前記識別情報にて書換え可能にされて成るものであることを特徴とする請求項 1 1 乃至 1 4 の何れか 1 項記載のデータプロセッサ。

【請求項 1 6】 前記データ転送制御回路は、中央処理装置により予め設定された転送制御条件に従ってデータ転送制御を行う回路であり、転送制御条件として転送先アドレスレジスタに設定されたアドレス情報が前記識別情報にて書換え可能にされて成るものであることを特徴とする請求項 1 1 乃至 1 4 の何れか 1 項記載のデータプロセッサ。

【請求項 1 7】 前記転送先アドレスレジスタが保持するアドレス情報によってアドレッシング可能にされる RAM を有して成るものであることを特徴とする請求項 1 1 乃至 1 6 の何れか 1 項記載のデータプロセッサ。

【請求項 1 8】 1 個の半導体チップに形成されて成るものであることを特徴とする請求項 1 7 記載のデータプロセッサ。

【請求項 1 9】 中央処理装置と、前記中央処理装置の制御に基づいてデータ転送制御可能なデータ転送制御回路と、データ転送を要求可能な周辺回路とを有し、

前記周辺回路は、データ入力チャネルを選択し、選択したデータ入力チャネルからの入力データに対して所定の処理を行い、処理結果の転送を要求すると共に当該処理結果に対応するデータ入力チャネルを識別可能な識別情報を出力し、

前記データ転送制御回路は転送元アドレスレジスタ及び転送先アドレスレジスタの下位複数ビットが前記周辺回路からの識別情報に基づいて可変可能にされて成るものであることを特徴とするデータプロセッサ。

【請求項 2 0】 前記周辺回路は前記データ入力チャネルからの入力データに対する処理結果を格納するデータレジスタを複数個有して成るものであることを特徴とする請求項 1 9 記載のデータプロセッサ。

【請求項 2 1】 中央処理装置と、前記中央処理装置の制御に基づいてデータ転送制御可能なデータ転送制御回路と、データ転送を要求可能な周辺回路とを有し、

前記周辺回路は、対応するイベント入力チャネルからのイベント発生の通知に応答して処理を行い、その処理結果の転送を要求すると共に当該処理結果に対応するイベント入力チャネルを識別可能な識別情報を出力し、

前記データ転送制御回路は転送元アドレスレジスタ及び転送先アドレスレジスタの下位複数ビットが前記周辺回路からの識別情報に基づいて可変可能にされて成るものであることを特徴とするデータプロセッサ。

【請求項 2 2】 前記周辺回路は前記イベント発生の通知に応答する処理結果を格納するデータレジスタを複数個有して成るものであることを特徴とする請求項 2 1 記載のデータプロセッサ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、アナログディジタルコンバータやタイマカウンタ等の周辺回路と共にダイレクトメモリアクセスコントローラ（DMAC）やデータトランスファコントローラ（DTC）等のデータ転送制御回路を搭載したデータプロセッサに関し、例えば、シングルチップマイクロコンピュータに搭載された周辺回路のデータレジスタ数削減に適用して有効な技術に関する。

【 0 0 0 2 】

【従来の技術】

シングルチップマイクロコンピュータに搭載されたアナログディジタルコンバータは、通常複数のアナログ入力チャネルを有し、選択されたアナログ入力チャネルから入力されたアナログ信号をディジタルデータに変換し、変換されたディジタルデータをアナログ入力チャネル対応で備えられているデータレジスタに格納する。即ちデータレジスタはアナログ入力チャネルの数に応じて複数設けられている。データレジスタを個別に設けるという点については、イベント入力毎にインプットキャプチャレジスタを設けてあるフリーランニングカウンタ等と同じである。

【 0 0 0 3 】

アナログディジタルコンバータは、データレジスタに変換データを格納すると、ダイレクトメモリアクセスコントローラなどにデータ転送要求を出し、これに応答して、ダイレクトメモリアクセスコントローラはデータ転送制御条件が予め設定された対応するデータ転送チャネルを用いて、そのデータレジスタの変換データをメモリなどに転送制御する。別のアナログ入力チャネルで変換が行われたときはダイレクトメモリアクセスコントローラの別のデータ転送制御条件が設定された別のデータ転送チャネルを用いて変換データがメモリに転送される。ダイレクトメモリアクセスコントローラはデータ転送チャネル毎にデータ転送制御条件が設定される制御レジスタを備えている。

【 0 0 0 4 】

ダイレクトメモリアクセスコントローラに代えてデータトランスファコントローラを用いる場合には、データ転送制御条件が予めメモリに設定されているので、データ転送要求があると、その要求に対応する転送制御条件をメモリからデー

タトランスファコントローラの制御レジスタにロードし、ロードされた転送条件に従ったデータ転送が行われる。データトランスファコントローラはダイレクトメモリアクセスコントローラのようにデータ転送チャンネル毎にデータ転送制御条件が設定される制御レジスタを備えることを要しないが、データ転送要求毎にデータ転送制御データをメモリからレジスタにロードする処理を行わなければならない。

【 0 0 0 5 】

尚、シングルチップマイクロコンピュータについて記載された文献の例としては、昭和59年11月30日オーム社発行の『LSIハンドブック』P540及びP541がある。

【 0 0 0 6 】

【発明が解決しようとする課題】

本発明者は上記アナログディジタルコンバータなどの周辺回路やダイレクトメモリアクセスコントローラなどのデータ転送制御回路について検討した結果、以下の点を見出した。

【 0 0 0 7 】

アナログディジタルコンバータなどの周辺回路において入力チャンネル毎にデータレジスタを設ける場合には、高機能化などによる入力チャンネル数の増加に伴ってデータレジスタによるチップ占有面積の増大が無視し得なくなる。

【 0 0 0 8 】

また、周辺回路が入力チャンネルに対応のデータレジスタにデータを格納する毎に、ダイレクトメモリアクセスコントローラに別々のデータ転送要求を起動する場合には、ダイレクトメモリアクセスコントローラは少なくともその入力チャンネル数分のデータ転送チャンネルを備えなければならない。ダイレクトメモリアクセスコントローラの各データ転送チャンネルは夫々、転送元アドレス、転送先アドレス、転送語数などの転送制御条件が設定される制御レジスタを有するから、データ転送チャンネル数の増加に伴って転送制御レジスタによるチップ占有面積の増大が無視し得なくなる。

【 0 0 0 9 】

また、周辺回路が入力チャネルに対応のデータレジスタにデータを格納する毎にデータトランスファコントローラに別々のデータ転送要求を起動する場合には、データトランスファコントローラは転送要求毎に転送制御データをメモリから制御レジスタに内部転送する処理を行わなければならない、それによるデータ処理効率の低下が余儀なくされる。

【 0 0 1 0 】

本発明の目的は、周辺回路の入力チャネル数に対してデータレジスタの数を少なくすることができるデータプロセッサを提供することにある。

【 0 0 1 1 】

本発明の別の目的は、周辺回路の入力チャネル数の増加に対してデータ転送チャネル数を増やさなくても済むデータプロセッサを提供することにある。

【 0 0 1 2 】

本発明の更に別の目的は、周辺回路からのデータ転送要求に対して、転送制御データをメモリから転送制御レジスタに内部転送する処理を低減することができるデータプロセッサを提供することにある。

【 0 0 1 3 】

本発明のその他の目的は、周辺回路の入力チャネル数の増加によるデータレジスタ数の増大を抑制でき、また、データ転送制御に伴うオーバーヘッドを抑制することができるデータプロセッサを提供することにある。

【 0 0 1 4 】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【 0 0 1 5 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 6 】

〔 1 〕 《周辺回路による転送先アドレスの下位制御》本発明の第 1 の態様はデータ入力チャネルのような入力端子から周辺回路に入力されたデータに対する処

理を行ってその結果を転送させる転送先の下位複数ビットを当該周辺回路側から制御可能にするものである。

【 0 0 1 7 】

即ち、データプロセッサは、中央処理装置と、前記中央処理装置の制御に基づいてデータ転送制御可能なデータ転送制御回路と、データ転送を要求可能な周辺回路とを有する。前記周辺回路は、入力チャネルのような入力端子を選択し、選択した入力端子からの入力データを処理し、処理結果の転送を要求すると共に当該選択した入力端子を識別可能な識別情報（CH2～CH0）を出力する。前記データ転送制御回路は前記周辺回路からの識別情報に基づいて下位複数ビットが可変可能にされた転送先アドレスレジスタ（DAR）を有する。

【 0 0 1 8 】

上記により、前記周辺回路は入力データの処理結果を格納するデータレジスタを入力端子の数に応じて備えることを要しない。転送先アドレスレジスタの下位複数ビットは周辺回路からの識別情報に基づいて自動的に更新されるから、周辺回路の入力チャネル数に対してダイレクトメモリアクセスコントローラのようなデータ転送制御回路のデータ転送チャネル数を増加しなくても済む。また、周辺回路からデータトランスファコントローラのようなデータ転送制御回路へのデータ転送要求に対して、毎回転送制御データをメモリから制御レジスタに内部転送する処理を行わずに済む。

【 0 0 1 9 】

前記周辺回路は、例えば変換部と変換制御部を有しアナログ信号をデジタルデータに変換するアナログデジタルコンバータであり、このとき前記変換部は複数のアナログ入力チャネルと、夫々のアナログ入力チャネルからの入力信号に対する変換結果の格納に共通利用される変換データレジスタとを有し、前記変換制御部は変換データレジスタに格納された変換結果の転送を要求すると共に当該変換結果に応ずるアナログ入力チャネルを特定可能なコード情報を前記識別情報として出力する。

【 0 0 2 0 】

更に詳しい態様として、前記変換部は、複数のアナログ入力チャネルの中から

一つを選択するアナログマルチプレクサを有し、アナログマルチプレクサで選択されたアナログ入力チャネルからのアナログ信号を逐次比較形式でデジタルデータに変換するように構成してよい。

【 0 0 2 1 】

このとき、前記変換制御部は前記マルチプレクサにアナログ入力チャネルを選択させる選択情報を保持するチャネル選択レジスタを有し、当該チャネル選択レジスタが保持する選択情報を前記コード情報として出力する構成を採用してよい。更に、アナログ入力チャネルに対するスキャンモードをサポートする場合、前記変換制御部には前記チャネル選択レジスタの値をインクリメント可能な演算手段を設け、スキャン毎に当該演算手段をインクリメント動作させればよい。

【 0 0 2 2 】

前記データ転送制御回路は、データ転送要求に応答してメモリから転送制御条件を読み込んでデータ転送制御を行う回路であり、読み込んだ転送制御条件により転送先アドレスレジスタに設定されたアドレス情報が前記識別情報にて書換え可能にされた、データトランスファコントローラとして構成してよい。

【 0 0 2 3 】

また、前記データ転送制御回路は、中央処理装置により予め設定された転送制御条件に従ってデータ転送制御を行う回路であり、転送制御条件として転送先アドレスレジスタに設定されたアドレス情報が前記識別情報にて書換え可能にされた、ダイレクトメモリアクセスコントローラとして構成してよい。

【 0 0 2 4 】

データプロセッサは、前記転送先アドレスレジスタが保持するアドレス情報によってアドレッシング可能にされるRAMを有してよい。RAMを含めてデータプロセッサを1個の半導体チップに形成してよい。

【 0 0 2 5 】

〔 2 〕《周辺回路による転送先アドレスの下位制御》本発明の第 2 の態様は周辺回路がイベントの発生に応答する処理を行ってその結果を転送させる転送先の下位複数ビットを当該周辺回路側から制御可能にするものである。

【 0 0 2 6 】

即ち、データプロセッサは、中央処理装置と、前記中央処理装置の制御に基づいてデータ転送制御可能なデータ転送制御回路と、データ転送を要求可能な周辺回路とを有する。前記周辺回路は、対応するイベントの発生に応答した処理を行い、その処理結果の転送を要求すると共に当該処理結果に対応するイベント発生を識別可能な識別情報（E I T 1 ～ E I T 0）を出力し、前記データ転送制御回路は前記周辺回路からの識別情報に基づいて下位複数ビットが可変可能にされた転送先アドレスレジスタ（D A R）を有して成る。

【 0 0 2 7 】

上記により、前記周辺回路はイベント入力に応答する処理結果を格納するデータレジスタをイベント入力チャネル毎に備えることを要しない。転送先アドレスレジスタの下位複数ビットは周辺回路からの識別情報に基づいて自動的に更新されるから、周辺回路の入力チャネル数に対してダイレクトメモリアクセスコントローラのようなデータ転送制御回路のデータ転送チャネル数を増加しなくても済む。また、周辺回路からデータトランスファコントローラのようなデータ転送制御回路へのデータ転送要求に対して、毎回転送制御データをメモリから制御レジスタに内部転送する処理を行わずに済む。

【 0 0 2 8 】

前記周辺回路は、例えば、カウンタ部とカウンタ制御部とを有するフリーランニングタイマであり、カウンタ部は、計数手段と前記計数手段の計数値を格納するデータレジスタとを有する。前記カウンタ制御部は、対応するイベント入力チャネルからのイベント発生の通知に応答して前記計数手段の計数値をデータレジスタに格納させ、当該データレジスタに格納された計数値の転送を要求すると共に前記変化を生じたイベント入力チャネルを他のイベント入力チャネルと区別可能なコード情報を前記識別情報として出力する。このとき、前記データレジスタは複数のイベント入力チャネルに共通化されたインプットキャプチャレジスタである。

【 0 0 2 9 】

前記データ転送制御回路は、データ転送要求に응答してメモリから転送制御条件を読み込んでデータ転送制御を行う回路であり、読み込んだ転送制御条件によ

り転送先アドレスレジスタに設定されたアドレス情報が前記識別情報にて書換え可能にされた、データトランスファコントローラとして構成してよい。

【 0 0 3 0 】

また、前記データ転送制御回路は、中央処理装置により予め設定された転送制御条件に従ってデータ転送制御を行う回路であり、転送制御条件として転送先アドレスレジスタに設定されたアドレス情報が前記識別情報にて書換え可能にされた、ダイレクトメモリアクセスコントローラとして構成してよい。

【 0 0 3 1 】

データプロセッサは、前記転送先アドレスレジスタが保持するアドレス情報によってアドレッシング可能にされるRAMを有してよい。RAMを含めてデータプロセッサを1個の半導体チップに形成してよい。

【 0 0 3 2 】

〔 3 〕 《周辺回路による転送元及び転送先アドレスの下位制御》本発明の第3の態様はデータ入力チャネルのような入力端子から周辺回路に入力されたデータに対する処理を行ってその結果を転送させる転送元及び転送先の下位複数ビットを当該周辺回路側から制御可能にするものである。

【 0 0 3 3 】

即ち、データプロセッサは、中央処理装置と、前記中央処理装置の制御に基づいてデータ転送制御可能なデータ転送制御回路と、データ転送を要求可能な周辺回路とを有する。前記周辺回路は、データ入力チャネルを選択し、選択したデータ入力チャネルからの入力データに対して所定の処理を行い、処理結果の転送を要求すると共に当該処理結果に対応するデータ入力チャネルを識別可能な識別情報（CH2～CH0）を出力する。前記データ転送制御回路は転送元アドレスレジスタ（SAR）及び転送先アドレスレジスタ（DAR）の下位複数ビットが前記周辺回路からの識別情報に基づいて可変可能にされる。

【 0 0 3 4 】

前記周辺回路は前記データ入力チャネルからの入力データに対する処理結果を格納するデータレジスタを複数個有することになるが、そのような複数個のデータレジスタの転送元アドレスと転送先アドレスとの下位複数ビットは周辺回路か

らの識別情報に基づいて自動的に更新されるから、周辺回路の入力チャンネル数に対してダイレクトメモリアクセスコントローラのようなデータ転送制御回路のデータ転送チャンネル数を増加しなくても済む。また、周辺回路からデータトランスファコントローラのようなデータ転送制御回路へのデータ転送要求に対して、毎回転送制御データをメモリから制御レジスタに内部転送する処理を行わずに済む。第3の態様は、第1の態様に対し、例えばデータ入力チャンネルからのデータ入力インターバルが短い場合に効果がある。要するにデータ入力チャンネル毎に設けられたデータレジスタをデータバッファとしての機能させる必要場ある場合である。

【 0 0 3 5 】

〔4〕《周辺回路による転送元及び転送先アドレスの下位制御》本発明の第4の態様は周辺回路がイベントの発生に応答する処理を行ってその結果を転送させる転送元及び転送先の下位複数ビットを当該周辺回路側から制御可能にするものである。

【 0 0 3 6 】

即ち、データプロセッサは、中央処理装置と、前記中央処理装置の制御に基づいてデータ転送制御可能なデータ転送制御回路と、データ転送を要求可能な周辺回路とを有する。前記周辺回路は、対応するイベント入力チャンネルからのイベント発生のお知らせに回答して処理を行い、その処理結果の転送を要求すると共に当該処理結果に対応するイベント入力チャンネルを識別可能な識別情報（E I T 1 ～ E I T 0）を出力する。前記データ転送制御回路は転送元アドレスレジスタ（S A R）及び転送先アドレスレジスタ（D A R）の下位複数ビットが前記周辺回路からの識別情報に基づいて可変可能にされ。

【 0 0 3 7 】

前記周辺回路は前記イベント発生のお知らせに回答する処理結果を格納するデータレジスタを複数個有することになるが、そのような複数個のデータレジスタの転送元アドレスと転送先アドレスとの下位複数ビットは周辺回路からの識別情報に基づいて自動的に更新されるから、周辺回路のイベント入力チャンネル数に対してダイレクトメモリアクセスコントローラのようなデータ転送制御回路のデータ転

送チャンネル数を増加しなくても済む。また、周辺回路からデータトランスファコントローラのようなデータ転送制御回路へのデータ転送要求に対して、毎回転送制御データをメモリから制御レジスタに内部転送する処理を行わずに済む。第4の態様は、第2の態様に対し、例えばイベント入力チャンネルからのイベント発生のインターバルが短い場合に効果がある。要するにイベント入力チャンネル毎に設けられたデータレジスタをデータバッファとしての機能させる必要場ある場合である。

【 0 0 3 8 】

【発明の実施の形態】

《データプロセッサ》図1には本発明に係るデータプロセッサ1の一例が示される。同図に示されるデータプロセッサ1は、例えばCMOS集積回路製造技術により単結晶シリコンのような1個の半導体基板（半導体チップ）に形成される。

【 0 0 3 9 】

データプロセッサ1は、中央処理装置（CPU）2、データトランスファコントローラ（DTC）3、CPU2の処理プログラムなどを格納するプログラムメモリであるリードオンリメモリ（ROM）4、CPU2の作業領域並びにデータの一時記憶に利用されるランダムアクセスメモリ（RAM）5、バスコントローラ7、クロック発生回路（CPG）8、割込みコントローラ10、タイマカウンタ（TMR）11、シリアルコミュニケーションインタフェースコントローラ（SCI）12、ユニバーサルシリアルバスコントローラ（USB）13、CRC演算器14、デジタルアナログコンバータ（DAC）15、アナログデジタルコンバータ（ADC）16、メモリカードインタフェースコントローラ（MCIFC）17、パルスワイズモジュレータ（PWM）18、キーボードバッファコントローラ19、ウォッチドッグタイマ（WDT）20、フリーランニングタイマ（FRT）21、暗号演算器（DES）22及び入出力ポート23～25を有する。前記CPU2、DTC3、ROM4、RAM5及びバスコントローラ7はCPUバス28に接続される。このCPUバス28はバスコントローラ7を介して周辺バス29にインタフェースされ、周辺バス29には、周辺回路として、

前記割込みコントローラ 10、TMR 11、SCI 12、USB 13、CRC 演算器 14、DAC 15、ADC 16、MCIFC 17、PWM 18、キーボードバッファコントローラ 19、WDT 20、及び暗号演算器 22 が接続される。前記 CPU バス 28 及び周辺バス 29 は夫々、データバス、アドレスバス及び制御信号バスを含んでいる。前記周辺バス 29 は入出力ポート 23 を介して外部バス（図示せず）とインタフェースされ、CPU バス 28 はバスコントローラ 7 を介して周辺バス 29 更には入出力ポート 23 を介して外部バスとインタフェースされる。入出力ポート 24、25 は周辺回路のための外部インタフェースバッファとして機能される。例えば、ADC 16 の所定のアナログ入力チャネルにおけるアナログ入力端子は入出力ポート 24 の所定のポートに割り当てられる。

【0040】

データプロセッサ 1 においてバスマスタモジュールは、前記 CPU 2 及び DTC 3 である。前記 CPU 2 は、例えば ROM 4 から命令をフェッチし、取り込んだ命令を解読する命令制御部と、命令制御部による命令解読結果に従って汎用レジスタや算術論理演算器などを用いて演算処理を行なう実行部とを有する。DTC 3 のデータ転送制御条件は予め CPU 2 により RAM 5 に設定され、ADC 16 や FRT 21 がデータ転送要求を発すると、対応するデータ転送制御条件が RAM から DTC 3 にロードされ、DTC 3 はロードされた転送制御条件に従ったデータ転送制御を行う。

【0041】

バスコントローラ 7 は、バスマスタモジュールである CPU 2、DTC 3、及び外部バスマスタとの間のバス権要求の競合に対する調停を行う。調停論理は例えば優先順位に基づく調停制御である。調停の結果、バス権が与えられたバスマスタモジュールは、バスコマンドを出力し、バスコントローラ 7 は、このバスコマンドに基づいてバスの制御を行なう。バスコントローラ 7 は、バスマスタモジュールの出力するアドレス信号がデータプロセッサ 1 の外部アドレス空間を意味する場合には、入出力ポート 23 を介して外部にアドレス信号及びアクセスストロブ信号を出力する。

【0042】

割り込みコントローラ 1 0 には、周辺バス 2 9 に接続された F R T 2 1 や A D C 1 6 などの周辺回路から出力される内部割り込み信号や入出力ポート 2 5 を介して外部から入力される外部割り込み信号が供給される。前記内部割り込み信号及び外部割り込み信号は 3 0 で総称される。割り込みコントローラ 1 0、入力された割り込み信号に対して優先制御及びマスク制御を行って、割り込み要求を受け付ける。割り込みコントローラ 1 0 は、割り込みを受付けると、その割り込み要求信号の種類などに応じて、C P U 2 に割り込み要求信号 I R Q を出力し、或いは D T C 3 に D T C 起動要求信号 D T R Q を出力する。

【 0 0 4 3 】

C P U 2 に割り込み要求信号 I R Q が与えられると、C P U 2 は実行中の処理を中断して、割り込み要因に応じた所定の処理ルーチンに分岐する。分岐先の処理ルーチンの最後では、復帰命令が実行され、この命令を実行することによって前記中断した処理が再開可能にされる。

【 0 0 4 4 】

割り込みコントローラ 1 0 には D T C チャンネル毎のデータトランスファコントロールイネーブルレジスタ (D T C E R) が設けられ、複数種類の割り込み要因に対して D T C 起動の許可／禁止を設定できるようにされる。許可されていれば対応する割り込み要因の発生により対応する D T C チャンネルの D T C 起動要求信号 D T R Q が活性化され、禁止されていれば対応する割り込み要因の発生により割り込み要求信号 I R Q が活性化される。D T C 3 の起動が可能にされる割り込み要因は、特に制限されないが、F R T 2 1 におけるインプットキャプチャ割り込みおよびコンペアマッチ、A D C 1 6 における変換終了割り込み、S C I 1 2 における送信完了割り込みおよび受信完了割り込み等とされる。D T C 3 の起動が可能にされる割り込み要因毎に、D T C ベクタ番号、更には対応するベクタアドレスが決められている。そのベクタアドレスには、対応する D T C 起動要求で起動されるデータ転送制御条件が格納される R A M 上の領域の先頭アドレスが保有されている。割り込みコントローラ 1 0 から D T C 3 に D T C 起動要求信号 D T R Q が与えられると、これに応ずる D T C ベクタも D T C 3 に供給される。D T C 3 は、その D T C ベクタが示す R A M 5 上のデータ転送制御条件を転送制御レジスタにロードし、ロ

ードした転送制御条件などに従ってデータ転送制御を行う。

【 0 0 4 5 】

詳細については後述するが、ADC 1 6においては、アナログ入力チャネルから入力されたデータに対するAD変換結果を取得したとき、そのAD変換結果をDTC 3に転送させる転送先アドレスの下位複数ビットをADC 1 6側から制御可能になっている。また、FRT 2 1において、イベントの発生に応答するインプットキャプチャ処理を行ってカウント値を得たとき、そのカウント値をDTC 3に転送させる転送先の下位複数ビットをFRT 2 1側から制御可能になっている。

【 0 0 4 6 】

その他、データプロセッサ1は電源端子として、グラウンドレベル（V s s）及び電源電圧レベル（V c c）などの外部端子を有し、その他に専用制御端子として、リセット入力（RES）、スタンバイ（入力STBY）、モード制御入力（MD0、MD1）、クロック入力（EXTAL、XTAL）の各端子を有する。

【 0 0 4 7 】

前記CPG 8は、特に制限されないが、端子EXTAL、XTALに接続される水晶発振子またはEXTAL端子に入力される外部クロック信号に基づいてシステムクロック信号φを生成する。

【 0 0 4 8 】

データプロセッサ1にリセット信号RESが与えられると、CPU 2等のオンチップ回路モジュールはリセット状態とされる。このリセット信号RESによるリセット状態が解除されると、CPU 2は所定のスタートアドレスから命令をリードし、プログラムの実行を開始し、それに従って、例えば、RAM 5からデータをフェッチし、フェッチしたデータの演算処理を行い、処理結果に基づいて、FRT 2 1やADC 1 6などを使用して、外部と信号入出力を行って、各種の機器制御を行う。

【 0 0 4 9 】

《ADC》図2にはADC 1 6の詳細な一例が示される。ADC 1 6は、アナログ入力端子AN 0～AN 7から供給されるアナログ信号をアナログマルチプレ

クサ 4 0 で選択し、選択したアナログ信号をサンプルホールド回路 4 1 でサンプリングする。サンプリングされたアナログ電圧信号は局部 D/A 変換回路 4 2 の出力電圧とコンパレータ 4 3 で比較される。比較結果はコントロール回路 4 4 に与えられ、コントロール回路 4 4 はその比較結果に従って逐次比較レジスタ 4 5 の値を制御する。前記局部 D/A 変換回路 4 2 は逐次比較レジスタ 4 5 の値をアナログ変換してコンパレータ 4 3 に出力するアナログ電圧信号を形成する。このような逐次比較動作によって逐次比較レジスタ 4 5 に得られる値が収束すると、その値が、入力アナログ信号に対するデジタルデータとして AD 変換データレジスタ ADDR にセットされる。コントロール回路 4 4 はデジタルデータが AD 変換レジスタ ADDR にセットされると、AD 変換終了割込み信号 ADI を前記割込みコントローラ 1 0 にアサートする。ADC 1 6 において割込みコントロール回路 4 4、ステータ・コントロールレジスタ ADCSR 及びコントロールレジスタ ADCR は制御部を構成する。前記 AD 変換データレジスタ ADDR、ステータ・コントロールレジスタ ADCSR 及びコントロールレジスタ ADCR はバスインタフェース 4 6 を介して周辺バス 2 9 に接続される。

【 0 0 5 0 】

前記コントロールレジスタ ADCR は A/D 変換開始/停止の制御ビット、A/D 変換時間を決めるクロックの設定を行うクロックセレクトビットなどを有する。

【 0 0 5 1 】

前記ステータ・コントロールレジスタ ADCSR は、アナログ入力チャネル即ちアナログ入力端子の選択フィールド、変換モードの指定フィールドなどを有する。ここではアナログ入力チャネルはアナログ入力端子と等価と見なしている。

【 0 0 5 2 】

前記変換モードの指定フィールドはその設定値に応じて ADC 1 6 の動作モードを単一モード、4 チャンネル又は 8 チャンネルスキャンモードに設定する。単一モードはアナログ入力端子の選択フィールドで選択された一つのアナログ入力端子を 1 回 AD 変換して動作を終了する動作モードである。スキャンモードは複

数チャンネルのA/D変換を連続して行う動作モードである。4チャンネルスキャンモードはアナログ入力端子の選択フィールドで選択されたAN0～AN3、又はAN4～AN7の4チャンネルのA/D変換を連続して行う動作モードである。8チャンネルスキャンモードはAN0～AN7の8端子からの入力信号のA/D変換を連続して行う動作モードである。

【0053】

アナログ入力端子の選択フィールドはその値に応じた入力端子をマルチプレクサに選択させる情報フィールドである。例えば、アナログ入力端子の選択フィールドは、特に制限されないが、CH2, CH1, CH0の3ビットのチャンネル選択ビット列から成り、(CH2, CH1, CH0) = (0, 0, 0)のときAN0、(CH2, CH1, CH0) = (0, 0, 1)のときAN1、(CH2, CH1, CH0) = (0, 1, 0)のときAN2、(CH2, CH1, CH0) = (0, 1, 1)のときAN3というように、(CH2, CH1, CH0)の値が+1される毎にアナログ入力端子番号(チャンネル番号)が+1される関係を有している。

【0054】

前記レジスタADCSR, ADCRの値はCPU2によって初期設定される。また、スキャンモードではコントロール回路44に内蔵された演算回路47により、レジスタADCSRのアナログ入力端子選択ビット列CH2～CH0の値が、動作モードに応じてA/D変換動作毎にインクリメントされる。

【0055】

コントロール回路44は前記ステータ・コントロールレジスタADCSRのアナログ入力端子選択ビット列CH2～CH0の値(以下単にチャンネル選択ビット列情報CH2～CH0とも称する)をDTC3に供給する。例えば、A/D変換結果がデータレジスタADDRにセットされたとき、単一モードではそのA/D変換動作の対象としてCPU2により設定されたアナログ入力チャンネルの番号を意味するチャンネル選択ビット列情報CH2～CH0が出力される。スキャンモードでは、最初はA/D変換動作の対象としてCPU2により設定されたアナログ入力チャンネルの番号を意味するチャンネル選択ビット列情報CH2～CH

0 が出力され、その後は順次演算回路 4 7 でインクリメントされたチャンネル選択ビット列情報 CH 2 ～ CH 0 が出力される。要するに、入力チャンネルの数に拘わらずデータレジスタ ADDR は 1 本だけ設けられているが、そのデータレジスタ ADDR に格納された A / D 変換結果の対象となるデータの入力チャンネル（アナログ入力端子番号）の情報は、チャンネル選択ビット列 CH 2 ～ CH 0 の情報として DTC 3 出力され、これによって、A / D 変換結果データがどの入力チャンネル（アナログ入力端子）に関するデータであることを識別可能にされる。

【 0 0 5 6 】

また、コントロール回路 4 4 は前記チャンネル選択ビット列情報 CH 2 ～ CH 0 を割込みコントローラ 1 0 にも供給し、それによって A D 変換終了割込み信号 ADI の割込要因を判定させる。即ち、データレジスタ ADDR に格納された A / D 変換結果の対象となるデータの入力チャンネル（アナログ入力端子番号）の相違は割込み要因の相違とされ、割込み要因が相異されると DTC 3 のためのベクタが相違されることになる。

【 0 0 5 7 】

《FRT》図 3 には FRT 2 1 の詳細な一例が示される。FRT 2 1 はカウンタ部として、フリーランニングカウンタ FRC、アウトプットコンペアレジスタ OCR a, OCR b、比較回路 CMP a, CMP b、インプットキャプチャレジスタ ICR を有する。前記アウトプットコンペアレジスタ OCR a, OCR b、インプットキャプチャレジスタ ICR はバスインタフェース 5 0 を介して周辺バス 2 9 に接続される。フリーランニングカウンタ FRC はクロック選択回路 5 1 で選択されたクロック信号 CLK の計数動作を行う。比較回路 CMP a, CMP b はフリーランニングカウンタ FRC の計数値がアウトプットコンペアレジスタ OCR a, OCR b の設定値に一致する状態を検出してコンペアマッチ信号 c m a, c m b を出力する。インプットキャプチャレジスタ ICR はキャプチャ信号 c p t がアサートされたとき、フリーランニングカウンタ FRC の計数値をラッチする。

【 0 0 5 8 】

FRT 2 1 はカウンタ制御部としてコントロールロジック回路 5 2、クロック

選択回路 5 1、タイマコントロールステータスレジスタ TCSR、タイマコントロールレジスタ TCR を有する。コントロールロジック回路 5 2 は、コンペアマッチ信号 cma, cmb による一致検出をイベント出力として外部に出力するアウトプットコンペア出力端子 FTOA, FTOB を有する。コントロールロジック回路 5 2 は、イベント入力端子としてのインプットキャプチャ入力端子 FTI 3 ~ FTI 0 からイベントの発生が通知されると、キャプチャ信号 cpt を活性化してインプットキャプチャレジスタ ICR にフリーランニングカウンタ FRC の計数値をラッチさせる。

【 0 0 5 9 】

タイマコントロールレジスタ TCR はインプットキャプチャ入力端子 FTI 3 ~ FTI 0 から入力される信号の立ち上がり又は立下りの何れをインプットキャプチャ動作のためのイベント発生として検出するかを決定する制御情報、クロック選択回路 5 1 によるクロック信号の選択情報等が設定される。タイマコントロールステータスレジスタ TCSR は、4 ビットのインプットキャプチャフラグ ICF 3 ~ ICF 0 と、2 ビットのアウトプットコンペアフラグ（図示せず）等を有する。2 ビットのアウトプットコンペアフラグは前記コンペアマッチ信号 cma, cmb に反映される前記一致検出の結果を示す。インプットキャプチャフラグ ICF 3 ~ ICF 0 は、インプットキャプチャ動作要因とされるイベント発生が通知されたインプットキャプチャ入力端子 FTI 3 ~ FTI 0 を特定するフラグであり、イベント発生が通知されたインプットキャプチャ入力端子に應ずるインプットキャプチャフラグが “1” にセットされる。

【 0 0 6 0 】

前記コントロールロジック回路 5 2 は前記インプットキャプチャフラグ ICF 3 ~ ICF 0 の何れかが “1” にセットされるとインプットキャプチャ割込み信号 ICI を割込みコントローラ 1 0 にアサートする。これと共に、前記コントロールロジック回路 5 2 は、前記インプットキャプチャフラグ ICF 3 ~ ICF 0 をエンコードして 2 ビットのイベント入力端子（イベント入力チャネル）識別情報 EIT 1, EIT 0 を出力する。このイベント入力端子識別情報 EIT 1, EIT 0 は、例えば、(EIT 1, EIT 0) = (0, 0) のとき FTI 0、(E

IT1, EIT0) = (0, 1) のとき FTI1、(EIT1, EIT0) = (1, 0) のとき FTI2、(EIT1, EIT0) = (1, 1) のとき FTI3、というように対応される。このイベント入力端子識別情報 EIT1, EIT0 は、DTC3 及び割込みコントローラ 10 に向けて出力される。割込みコントローラ 10 にとってイベント入力端子識別情報 EIT1, EIT0 は、インプットキャプチャ割込み信号 ICI の割込み要因として利用される。前記インプットキャプチャ入力端子 FTI3 ~ FTI0 が複数であるにも拘わらず、インプットキャプチャレジスタ ICR は 1 本だけ設けられているが、そのレジスタ ICR に対するインプットキャプチャ動作の要因となるイベント（若しくはイベント発生の通知端子）が何れであるかの情報は、イベント入力端子識別情報 EIT1, EIT0 により DTC3 に与えられ、これにより、インプットキャプチャレジスタ ICR のラッチデータがどのイベント発生に係るデータであることを識別可能にされる。

【0061】

《DTC》図 4 には DTC3 の詳細な一例が示される。DTC3 はコントロールロジック 60、モードレジスタ MR、転送カウントレジスタ TCR、ディスティネーションアドレスレジスタ DAR、及びソースアドレスレジスタ SAR を有する。ソースアドレスレジスタ SAR は転送元アドレスを保持し、ディスティネーションアドレスレジスタ DAR は転送先アドレスを保持する。モードレジスタ MR は転送後におけるディスティネーションアドレスレジスタ DAR 及びソースアドレスレジスタ SAR に対するインクリメント動作やデクリメント動作の有無、転送データサイズ、転送モードが設定される。転送カウントレジスタ TCR には転送回数データがプリセットされ、例えばデータ転送毎にデクリメントされ、カウンタ値が初期値に戻ったとき転送動作を終了させる制御などに利用される。

【0062】

割込コントローラ 10 はコントロールロジック 60 に DTC 起動要求信号 DTRQ 及び起動要因に応ずるベクタ VCT を与える。割込コントローラ 10 が保有するデータトランスファコントロールイネーブルレジスタ DTCER は ADC 変換終了割込み信号 ADI、インプットキャプチャ割込信号 ICI の割込要因毎に

備えられている。割込コントローラ 1 0 による前記起動要因及び割込要因の判定は、割込み信号 A D I 又は I C I により割込が要求されたとき、チャンネル選択ビット列情報 C H 2 ~ C H 0 又はイベント入力チャンネル識別情報 E I T 1, E I T 0 に基づいて行われる。

【 0 0 6 3 】

コントロールロジック 6 0 には前記 A D C 1 6 からチャンネル選択ビット列情報 C H 2 ~ C H 0 が供給され、前記 F R T 2 1 から前記イベント入力チャンネル識別情報 E I T 1, E I T 0 が供給される。チャンネル選択ビット列情報 C H 2 ~ C H 0 又はイベント入力チャンネル識別情報 E I T 1, E I T 0 の何れが有効な情報であるかは、割込みコントローラ 1 0 から与えられるベクタ V C T によって判定することができる。

【 0 0 6 4 】

コントロールロジック 6 0 は、割込みコントローラ 1 0 から D T C 起動要求信号 D T R Q が活性化され、それに応ずるベクタ V C T が供給されると、そのベクタ V C T が示す R A M 5 上のレジスタ情報（データ転送制御条件）を転送制御レジスタ M R, T C R, D A R, S A R にロードし、ロードした転送制御条件にしたがってデータ転送制御を開始する。

【 0 0 6 5 】

このデータ転送が A D C 1 6 からの A D C 変換終了割込み信号 A D I に応答するものである場合には、チャンネル選択ビット列情報 C H 2 ~ C H 0 に応ずる下位アドレス情報 6 1 により、ディスティネーションアドレスレジスタ D A R の下位 3 ビットが決定される。したがって、アドレスレジスタ S A R が示すアドレスのデータレジスタ A D D R から、アドレスレジスタ D A R が示す R A M 上のアドレスに A / D 変換結果を転送するとき、異なる A / D 変換チャンネルにおける A / D 変換結果は同じデータレジスタに一時的に保持されても、R A M 5 上では、チャンネル選択ビット列情報 C H 2 ~ C H 0 の相違にしたがって、別々の領域に格納され、先の A / D 変換結果が後の A / D 変換結果によって不所望に上書きされて消失することはない。

【 0 0 6 6 】

また、前記データ転送がFRT21からのインプットキャプチャ割込み信号ICIに応答するものである場合には、イベント入力チャネル識別情報EIT1、EIT0に應ずる下位アドレス情報61により、ディスティネーションアドレスレジスタDARの下位2ビットが決定される。したがって、アドレスレジスタSARが示すアドレスのデータレジスタICRから、アドレスレジスタDARが示すRAM上のアドレスにインプットキャプチャ値（計数値）を転送するとき、異なるイベントの発生に응答する係数値が同じデータレジスタICRに一時的に保持されても、RAM5上では、イベント入力チャネル識別情報EIT1、EIT0の相違にしたがって、別々の領域に格納され、先のイベント入力に응答するキャプチャ計数値が後のイベント入力に응答するキャプチャ計数値によって不所望に上書きされて消失することはない。

【0067】

図5にはADC16のA/D変換結果をRAM5に転送するときのディスティネーションアドレスに対する操作が模式的に示される。図5より明らかのように、チャネル選択ビット列情報CH2～CH0に基づいてディスティネーションアドレスレジスタDARの下位3ビットが決定される。ここで、下位3ビットは、データサイズによるアドレスビット位置が異なる。例えばバイトアドレスに対して、データサイズが2バイトのときは、図6に例示されるように、A1、A2、A3の3ビットがチャネル選択ビット列情報CH2～CH0に基づく操作対象とされる。尚、図5の表示形態にはバスや回路ブロックに対する省略が有り、例えばデータバスは前記バス28、29のデータバスを総称し、アドレスバスは前記バス28、29のアドレスバスを総称する。

【0068】

上記チャネル選択ビット列情報CH2～CH0に基づいてディスティネーションアドレスレジスタDARの下位3ビットを操作することにより、図7に例示されるように、アナログ入力端子AN0～AN7からのアナログ入力信号に対するA/D変換結果は、一時的に同じデータレジスタADDRに保持された後、RAM5上で異なるアドレスに格納される。

【0069】

図 8 にはアナログ入力端子 $AN0 \sim AN7$ に対応して複数の A/D 変換データレジスタ $ADDR0 \sim ADDR7$ を有する ADC を採用し得た場合の構成が比較例として示される。図 8 の構成では AD 変換データレジスタが 8 個必要であるが図 5 の場合は 1 個で済む。図 8 の構成では AD 変換チャンネル毎に異なる A/D 変換終了割込み信号 $ADI0 \sim ADI7$ がアサートされ、その度にデータ転送条件を RAM から DTC の制御レジスタに転送する処理を行わなければならない、これがオーバーヘッドになってしまう。図 5 の構成においてはそのようなオーバーヘッドはない。

【0070】

図 9 には $ADC16$ においてアナログ入力端子 $AN0 \sim AN7$ からのスキャンモードによる A/D 変換動作のフローチャートが例示される。

【0071】

まず、 AD 変換終了割込に応答して DTC 起動要求信号が活性化されるように $DTCER$ を設定し、 RAM の所定エリアには転送制御条件を予め格納して、 DTC 設定が行われる ($S1$)。転送制御条件として設定された転送元アドレスは例えば $H'FFE0$ 、転送先アドレスは例えば $H'EC80$ とされる。次に、 $ADC16$ のコントロールレジスタ $ADCR$ にスキャンモードを設定し ($S2$)、アナログ入力端子 $AN0$ からのアナログ入力に対して A/D 変換動作を開始させる ($S3$)。 A/D 変換が終了すると、変換終了割込が発生され、これに応答して割込コントローラは DTC 起動要求を活性化する ($S4a$)。 $DTC3$ はこれに応答して $RAM5$ の所定領域から転送制御情報を読み込み、($S5a$)、読み込んだ転送制御情報に基づいて、ソースアドレスレジスタ SAR で示されるデータレジスタ $ADDR$ の変換結果データを、ディスティネーションアドレスレジスタ DAR で示される RAM 上のアドレスに転送する ($S6a$)。このとき、ディスティネーションアドレスレジスタ DAR のアドレスビット $A3 \sim A1$ は $ADC16$ から与えられるチャンネル選択ビット列情報 $CH2 \sim CH0$ の値によって決定されている。その後、 $ADC16$ は演算回路 47 を用いてコントロール・ステータスレジスタ $ADSCR$ 上でチャンネル選択ビット列情報 $CH2 \sim CH0$ の値を +1 インクリメントして、次のアナログ入力端子 $AN1$ からのアナログ入力に対し

てA/D変換動作を開始させる（S7 a）。A/D変換が終了すると、変換終了割込信号ADIが発生され、これに応答して割込コントローラはDTC起動要求信号DTRQを活性化する（S4 b）。既にスキャンモードが設定されているDTC3は、これに応答してRAM5の所定領域から転送制御情報を読み込みこまず、ソースアドレスレジスタSARで示されるデータレジスタADDRの変換結果データを、ディスティネーションアドレスレジスタDARで示されるRAM5上のアドレスに転送する（S6 b）。このとき、ディスティネーションアドレスレジスタDARのアドレスビットA3～A1を決定するADC16からのチャンネル選択ビット列情報CH2～CH0の値は既にステップS7 aでインクリメントされており、そのインクリメントされている初期値+2のディスティネーションアドレスを用いてデータ転送される（S6 b）。その後、ADC16は演算回路47を用いてコントロール・ステータスレジスタADSCR上でCH2～CH0の値を更に+1インクリメントして、次のアナログ入力端子AN2からのアナログ入力に対してA/D変換動作を開始させる（S7 b）。以下、アナログ入力端子AN7からのアナログ入力に対するA/D変換動作の転送まで、S4 b、S6 b、S7 bと同様の処理が繰返されてスキャンモードによるA/D変換が行なわれる。

【0072】

図10には図9の処理手順に従って順次チャンネル選択ビット列情報CH2～CH0が更新され、これに呼応してレジスタDARのアドレスビットA3、A2、A1が変更された状態が、アナログ入力端子AN0～AN7の入力に対するA/D変換処理との対応で示される。

【0073】

図11には図9の処理手順に従ってADC16のデータレジスタADDRからRAM5の所定領域にデータ転送された状態が、アナログ入力端子AN0～AN7からの入力に対するA/D変換結果との対応で示される。尚、図11のアドレス空間はバイトアドレスを単位とし、データは2バイトデータであることを明瞭に示している。

【0074】

図 1 2 には F R T 2 1 においてインプットキャプチャ動作でインプットキャプチャレジスタ I C R にロードしたデータを R A M 5 に転送するときのディスティネーションアドレスに対する操作が模式的に示される。図 1 2 より明らかなように、イベント入力端子識別情報 E I T 1 ~ E I T 0 に基づいてディスティネーションアドレスレジスタ D A R の下位 2 ビットが決定される。ここで、下位 2 ビットは、データサイズによるアドレスビット位置が異なる。例えばバイトアドレスに対して、データサイズが 2 バイトのときは、A 0, A 1, A 2, A 3 ~ A n の内、A 1, A 2 の 2 ビットがイベント入力端子識別情報 E I T 1 ~ E I T 0 に基づく操作対象とされる。尚、図 1 2 の表示形態にはバスや回路ブロックに対する省略が有り、例えばデータ・アドレスバスは前記バス 2 8, 2 9 を総称する。

【 0 0 7 5 】

図 1 2 において、イベント入力端子 F T I 0 ~ F T I 3 から順次時系列的にイベント発生のお知らせがあると、イベント発生のお知らせに回答してタイマカウンタ T C N T の計数値がインプットキャプチャレジスタ I C R にラッチされる。図 1 3 にはインプットキャプチャタイミングとその時にタイマカウンタ T C N T の計数値の状態が例示される。

【 0 0 7 6 】

上記イベント入力端子識別情報 E I T 1 ~ E I T 0 に基づいてディスティネーションアドレスレジスタ D A R の下位 2 ビットを操作することにより、図 1 4 に例示されるように、イベント入力端子 F T I 0 ~ F T I 3 からのイベント発生のお知らせに回答するタイマカウンタ T C N T の計数値は、一時的に同じデータレジスタ I C R に保持された後、R A M 5 上で異なるアドレスに格納される。

【 0 0 7 7 】

図 1 5 にはイベント入力端子 F T I 0 ~ F T I 3 に対応して複数のインプットキャプチャレジスタ I C R 0 ~ I C R 3 を有する F R T を採用し得た場合の構成が比較例として示される。図 1 5 の構成ではインプットキャプチャレジスタが 4 個必要であるが図 1 2 の場合は 1 個で済む。図 1 5 の構成ではイベント入力チャンネル毎に異なるインプットキャプチャ割込み信号 I C I 0 ~ I C I 3 がアサートされ、その度にデータ転送条件を R A M から D T C の制御レジスタに転送する

処理を行わなければならない、これがオーバヘッドになってしまう。図 1 2 の構成においてはそのようなオーバヘッドはない。

【 0 0 7 8 】

図 1 6 には D T C 3 に代えて D M A C (ダイレクトメモリアクセスコントローラ) 3 2 を用いた場合のデータプロセッサ 1 A の構成が例示される。D M A C 3 2 は C P U 2 により予めデータ転送制御条件が設定される制御レジスタを有する点が D T C 3 と相違され、転送制御条件を R A M 5 からロードする処理を一々行わなくてよい。割込コントローラ 1 0 は A / D 変換終了割込み信号 A D I に対し、D M A リクエスト信号 D R E Q を D M A C 3 2 に供給する。これによって D M A C 3 2 がバス権を取得した後、A / D 変換データレジスタ A D D R の変換結果データを D M A C 3 2 のディスティネーションアドレスレジスタ D A R が示すメモリアドレスに転送制御する。D M A C 3 2 においても、D T C 3 と同様に、チャンネル選択ビット列情報 C H 2 ~ C H 0 に基づいてディスティネーションアドレスレジスタ D A R の下位 3 ビットが決定される。上記チャンネル選択ビット列情報 C H 2 ~ C H 0 に基づいてディスティネーションアドレスレジスタ D A R の下位 3 ビットを操作することにより、アナログ入力端子 A N 0 ~ A N 7 からのアナログ入力信号に対する A / D 変換結果は、一時的に同じデータレジスタ A D D R に保持された後、R A M 5 上で異なるアドレスに格納される。尚、図 1 6 の構成では、D M A C 3 2 はバスサイクルを起動するとき、バスサイクル信号 3 3 を A D C 1 6 に与え、レジスタ A D D R からデータを出力するタイミングの生成に利用できるようになっている。

【 0 0 7 9 】

図 1 7 には図 1 6 の D M A C 3 2 を用いたとき A D C 1 6 においてアナログ入力端子 A N 0 ~ A N 7 からのスキャンモードによる A / D 変換動作のフローチャートが例示される。

【 0 0 8 0 】

先ず、A D 変換終了割込に応答して D M A 転送要求信号 D R E Q が活性化されるように D T C E R を設定し、D M A C 3 2 に対する初期設定が行われる (S 1 1) 。転送制御条件として設定された転送元アドレスは例えば H ' F F E 0 、転

送先アドレスは例えばH' EC80とされる。次に、ADC16のコントロールレジスタADCRにスキャンモードを設定し(S12)、アナログ入力端子AN0からのアナログ入力に対してA/D変換動作を開始させる(S13)。A/D変換が終了すると、変換終了割込が発生され、これに応答して割込コントローラはDMA転送要求信号DREQを活性化する(S14a)。DMAC32はこれに応答して、初期設定されている転送制御情報に基づいて、ソースアドレスレジスタSARで示されるデータレジスタADDRの変換結果データを、ディスティネーションアドレスレジスタDARで示されるRAM5上のアドレスに転送する(S15a)。このとき、ディスティネーションアドレスレジスタDARのアドレスビットA3~A1はADC16から与えられるチャンネル選択ビット列情報CH2~CH0の値によって決定されている。その後、ADC16は演算回路47を用いてコントロール・ステータスレジスタADSCR上でチャンネル選択ビット列情報CH2~CH0の値を+1インクリメントして、次のアナログ入力端子AN1からのアナログ入力に対してA/D変換動作を開始させる(S16a)。A/D変換が終了すると、変換終了割込が発生され、これに応答して割込コントローラはDMA転送要求信号DREQを活性化する(S14b)。既にスキャンモードが設定されているDMAC32は、ソースアドレスレジスタSARで示されるデータレジスタADDRの変換結果データを、ディスティネーションアドレスレジスタDARで示されるRAM5上のアドレスに転送する(S15b)。このとき、ディスティネーションアドレスレジスタDARのアドレスビットA3~A1を決定するADC16からのチャンネル選択ビット列情報CH2~CH0の値は既にステップS7aでインクリメントされており、そのインクリメントされている初期値+2のディスティネーションアドレスを用いてデータ転送される。その後、ADC16は演算回路47を用いてコントロール・ステータスレジスタADSCR上でチャンネル選択ビット列情報CH2~CH0の値を更に+1インクリメントして、次のアナログ入力端子AN2からのアナログ入力に対してA/D変換動作を開始させる(S16b)。以下、アナログ入力端子AN7からのアナログ入力に対するA/D変換動作の転送まで、S14b, S15b, S16bと同様の処理が繰返されてスキャンモードによるA/D変換が行なわれる。

【 0 0 8 1 】

図 1 8 には別のデータプロセッサ 1 B の例として、アナログ入力端子選択ビット列の情報 CH 2 ～ CH 0 でソース及びディスティネーションの双方のアドレスを制御する構成が例示される。ADC 1 6 B は複数の A/D 変換データレジスタ ADDR 0 ～ ADDR 7 を有し、アナログ入力端子に対応するデータレジスタを用いるようになっており、その選択は前記アナログ入力端子選択ビット列の情報 CH 2 ～ CH 0 で行なわれる。DTC 3 B は、図 1 9 に例示されるように、双方のアドレスレジスタ DAR, SAR の下位 3 ビットを前記アナログ入力端子選択ビット列の情報 CH 2 ～ CH 0 で変更可能になっている。この構成によるデータ転送形態は、図 2 0 に例示されるようになり、複数の A/D 変換データレジスタ ADDR 0 ～ ADDR 7 の転送元アドレスと転送先アドレスとの下位複数ビットはチャンネル選択ビット列情報 CH 2 ～ CH 0 に基づいて自動的に更新される。この構成は、図 5 の構成に比べ、データ入力チャンネル毎に設けられたデータレジスタ ADDR 0 ～ ADDR 7 をデータバッファとしての機能させることができるから、データ入力チャンネルからのデータ入力インターバルが短い場合等に効果がある。

【 0 0 8 2 】

図 2 1 には更に別のデータプロセッサ 1 C の例として、イベント入力チャンネル識別情報 EIT 1 ～ EIT 0 でソース及びディスティネーションの双方のアドレスを制御する構成が例示される。FRT 2 1 C は複数のインプットキャプチャレジスタ ICR 0 ～ ICR 3 を有し、イベント毎に別々のデータレジスタを用いるようになっており、その選択は前記イベント入力チャンネル識別情報 EIT 1 ～ EIT 0 で行なわれる。DTC 3 C は、双方のアドレスレジスタ DAR, SAR の下位 2 ビットを前記イベント入力チャンネル識別情報 EIT 1 ～ EIT 0 で変更可能になっている。この構成によるデータ転送形態は、図 2 0 に例示されるのと同様であり、複数のインプットキャプチャレジスタ ICR 0 ～ ICR 3 の転送元アドレスと RAM 上の転送先アドレスとの下位複数ビットは転送要求と共に自動的に更新される。この構成は、図 1 2 の構成に比べ、イベント入力チャンネル毎に設けられたデータレジスタ ICR 0 ～ ICR 3 をデータバッファとして

の機能させることができるから、イベント入力チャネルからのイベント入力インターバルが短い場合等に効果がある。

【 0 0 8 3 】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 0 0 8 4 】

例えば、周辺回路は A D C と F R T に限定されない。 S C I などの通信制御用の周辺回路、タイマカウンタ、ウオッチドッグタイマなど、その他の周辺回路にも適用可能である。

【 0 0 8 5 】

また、図 9 ではスキャンモードにおいて後続チャネルの A / D 変換結果の転送制御情報は R A M から新たに読み込んでいないが、毎回転送制御情報を R A M から D T C にロードすることも可能である。要するに、 D T C によるデータ転送制御方法の相違による。

【 0 0 8 6 】

また、データ入力チャネルやイベント入力チャネルの数に応じてデータレジスタを多数設けた周辺回路において、その内の一つを複数のデータ入力チャネルやイベント入力チャネルに共通利用する構成にも本発明を適用する事ができる。

【 0 0 8 7 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 8 8 】

すなわち、 A D C のような周辺回路は入力端子毎に入力データの処理結果を格納するデータレジスタを入力端子の数に応じて備えることを要しない。また、 F R T のような前記周辺回路はイベント入力に応答する処理結果を格納するデータレジスタをイベント入力チャネルのかずに応じて備えることを要しない。したがって、周辺回路の入力チャネル数に対してデータレジスタの数を少なくすること

ができる。

【 0 0 8 9 】

転送先アドレスレジスタの下位複数ビットは周辺回路からの識別情報に基づいて自動的に更新されるから、周辺回路の入力チャネル数に対してダイレクトメモリアクセスコントローラのようなデータ転送制御回路のデータ転送チャネル数を増加しなくても済む。また、周辺回路からデータトランスファコントローラのようなデータ転送制御回路へのデータ転送要求に対して、毎回転送制御データをメモリから制御レジスタに内部転送する処理を行わずに済む。

【 0 0 9 0 】

周辺回路の入力チャネル数の増加によるデータレジスタ数の増大を抑制でき、また、データ転送制御に伴うオーバーヘッドを抑制することができる。

【図面の簡単な説明】

【図 1】

本発明に係るデータプロセッサの一例を示すブロック図である。

【図 2】

A D C の詳細な一例を示すブロック図である

【図 3】

F R T の詳細な一例を示すブロック図である。

【図 4】

D T C の詳細な一例を示すブロック図である。

【図 5】

A D C の A / D 変換結果を R A M に転送するときのディスティネーションアドレスに対する操作を模式的に示すブロック図である。

【図 6】

チャネル選択ビット列情報 C H 2 ~ C H 0 に基づく操作対象であるアドレスビット A 1 , A 2 , A 3 を例示する説明図である。

【図 7】

アナログ入力端子 A N 0 ~ A N 7 からのアナログ入力信号に対する A / D 変換結果がデータレジスタ A D D R から R A M 5 に転送された様子を示すアドレスマ

ップである。

【図 8】

アナログ入力端子AN0～AN7に対応して複数のA/D変換データレジスタADDR0～ADDR7を有するADCを採用し得た場合の構成を比較例として示すブロック図である。

【図 9】

ADCにおいてアナログ入力端子AN0～AN7からのスキャンモードによるA/D変換動作を例示するフローチャートである。

【図 1 0】

図9の処理手順に従って順次CH2～CH0が更新され、これに呼応してレジスタDARのアドレスビットA3，A2，A1が変更された状態を、アナログ入力端子AN0～AN7の入力に対するA/D変換処理との対応で示す説明図である。

【図 1 1】

図9の処理手順に従ってADCのデータレジスタADDRからRAMの所定領域にデータ転送された状態を、アナログ入力端子AN0～AN7からの入力に対するA/D変換結果との対応で示す説明図である。

【図 1 2】

FRTにおいてインプットキャプチャ動作でインプットキャプチャレジスタICRにロードしたデータをRAMに転送するときのディスティネーションアドレスに対する操作を模式的に示すブロック図である。

【図 1 3】

インプットキャプチャタイミングとその時のタイマカウンタTCNTの計数値の状態を例示する説明図である。

【図 1 4】

イベント入力端子識別情報に基づいてディスティネーションアドレスレジスタの下位2ビットを操作してカウントデータをRAM上で異なるアドレスに転送した様子を示すアドレスマップである。

【図 1 5】

イベント入力端子に対応して複数のインプットキャプチャレジスタを有する F R T を採用し得た場合の構成を比較例として示すブロック図である。

【図 1 6】

D T C に代えて D M A C を用いた場合のデータプロセッサの構成を例示するブロック図である。

【図 1 7】

図 1 6 の D M A C を用いたとき A D C のスキャンモードによる A / D 変換動作を例示するフローチャートである。

【図 1 8】

アナログ入力端子選択ビット列の情報でソース及びディスティネーションの双方のアドレスを制御する構成を採用したデータプロセッサのブロック図である。

【図 1 9】

アナログ入力端子選択ビット列情報に基づく操作対象であるソース及びディスティネーションの双方におけるアドレスビット A 1, A 2, A 3 を例示する説明図である

【図 2 0】

図 1 8 の構成によりデータ転送された様子を例示するアドレスマップである。

【図 2 1】

イベント入力チャンネル識別情報でソース及びディスティネーションの双方のアドレスを制御する構成を採用したデータプロセッサを例示するブロック図である。

【符号の説明】

- 1、1 A, 1 B, 1 C データプロセッサ
- 2 CPU
- 3, 3 B, 3 C D T C
- 5 RAM
- 1 0 割込コントローラ
- 1 6 A D C
- A D I A D 変換終了割込み信号

21 TMR

30 割込み信号

DTRQ DTC起動要求信号

IRQ 割込み要求信号

CH2~CH0 チャンネル選択ビット列情報 (識別情報)

ADDR AD変換データレジスタ

40 アナログマルチプレクサ

ICF3~ICF0

ICI インพุットキャプチャ割込み信号

EIT1~EIT0 イベント入力チャネル識別情報 (識別情報)

ICR インพุットキャプチャレジスタ

SAD ソースアドレスレジスタ

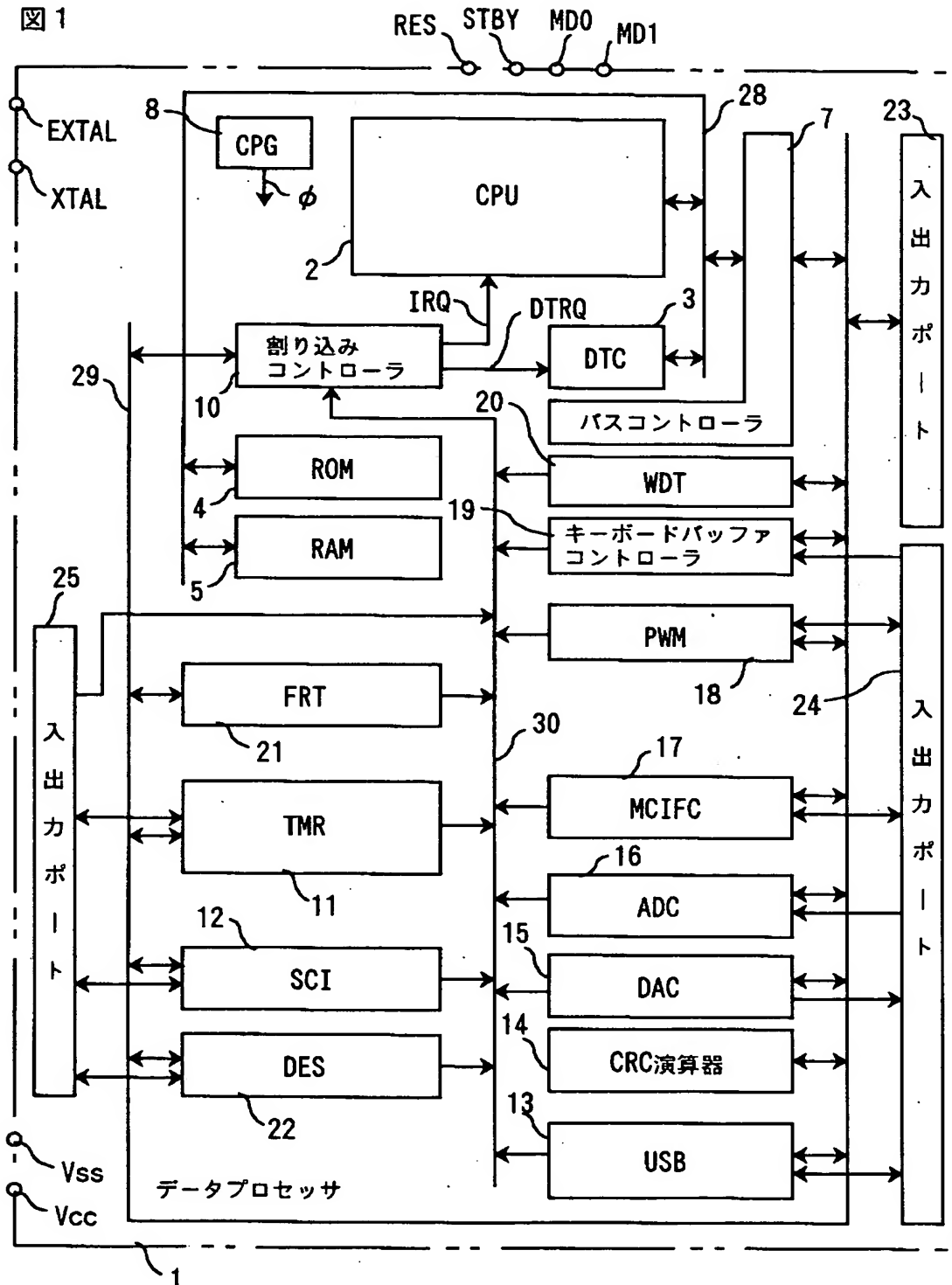
DAR ディステイネーションアドレスレジスタ

ADDR0~ADDR7 AD変換データレジスタ

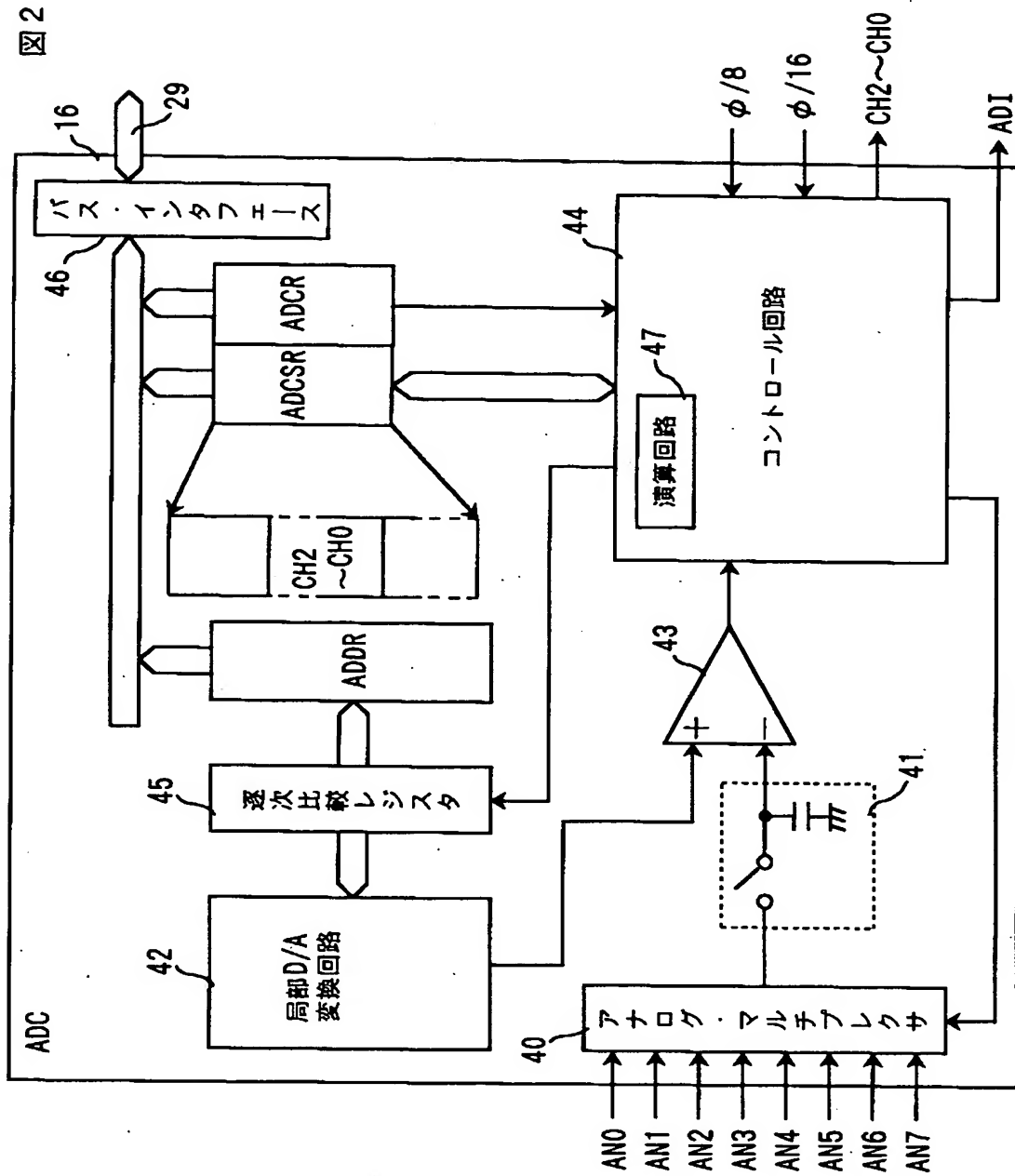
ICR0~ICR3 インพุットキャプチャレジスタ

【書類名】 図面

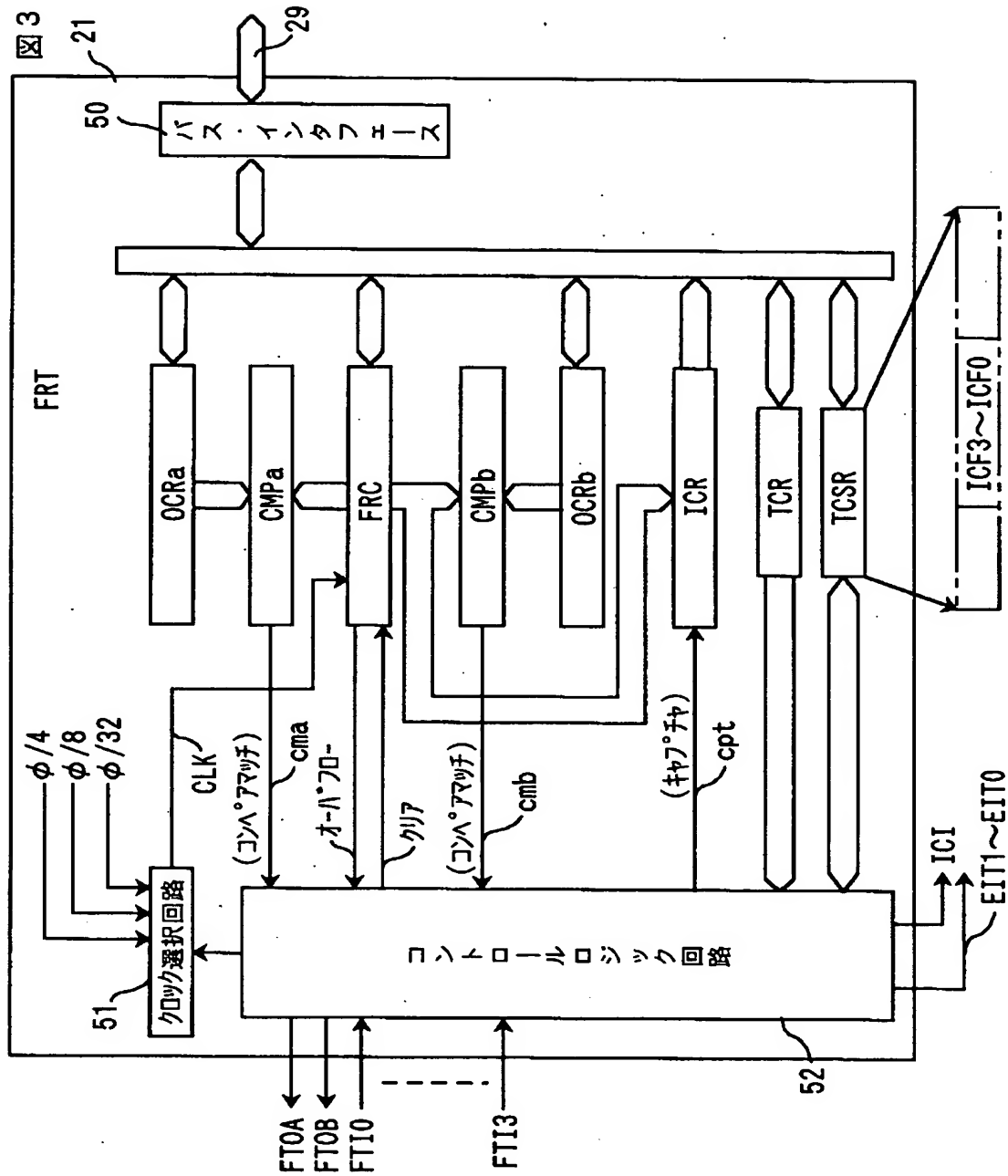
【図 1】



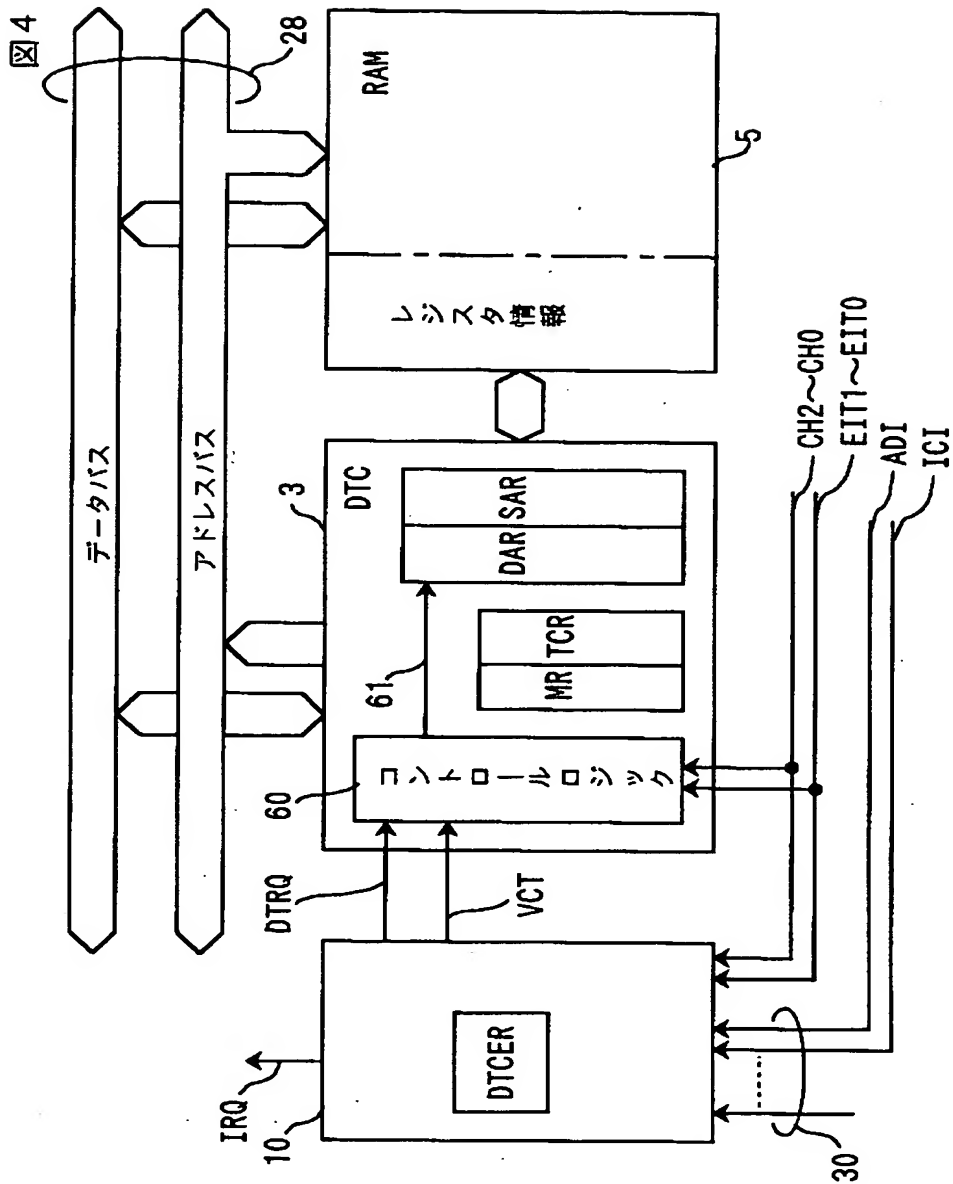
【図2】



【図 3】

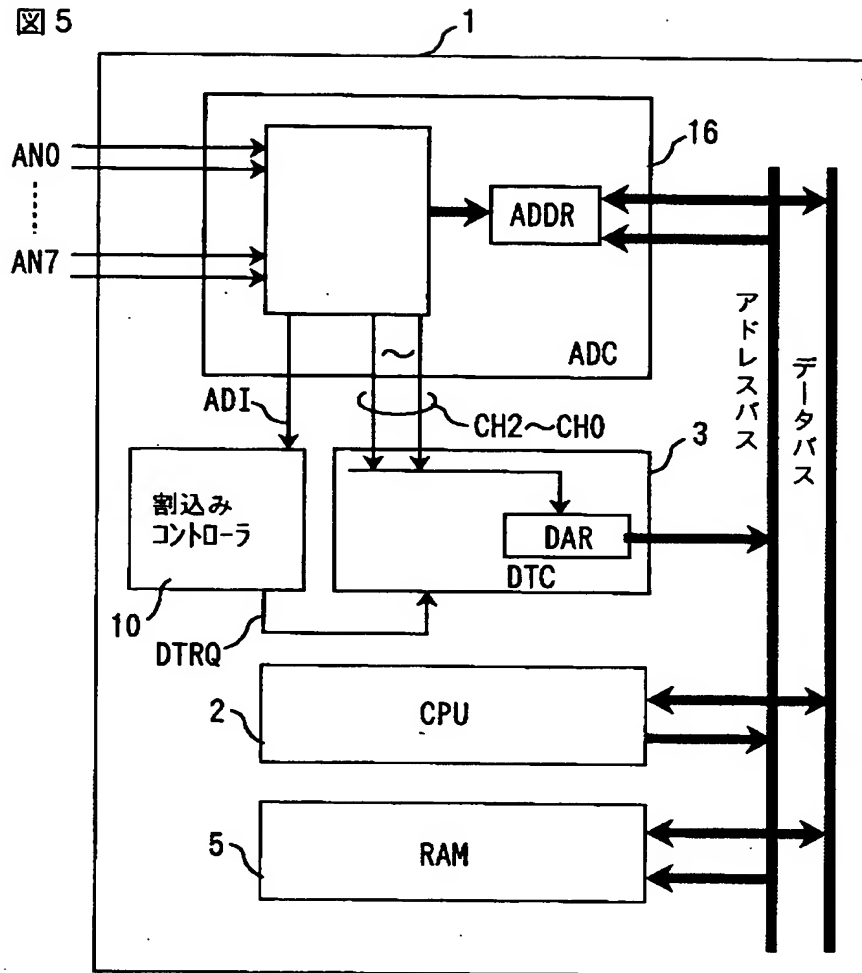


【図 4】



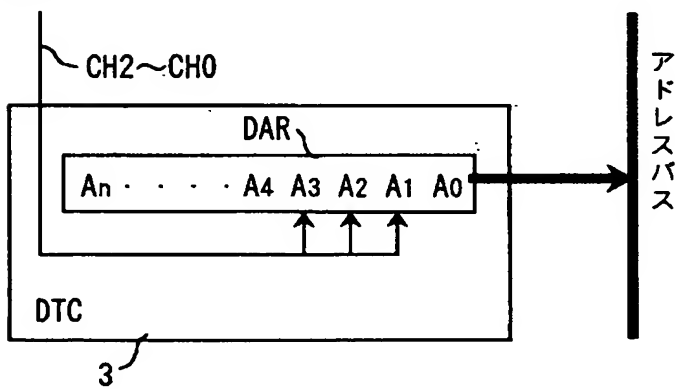
【図 5】

図 5



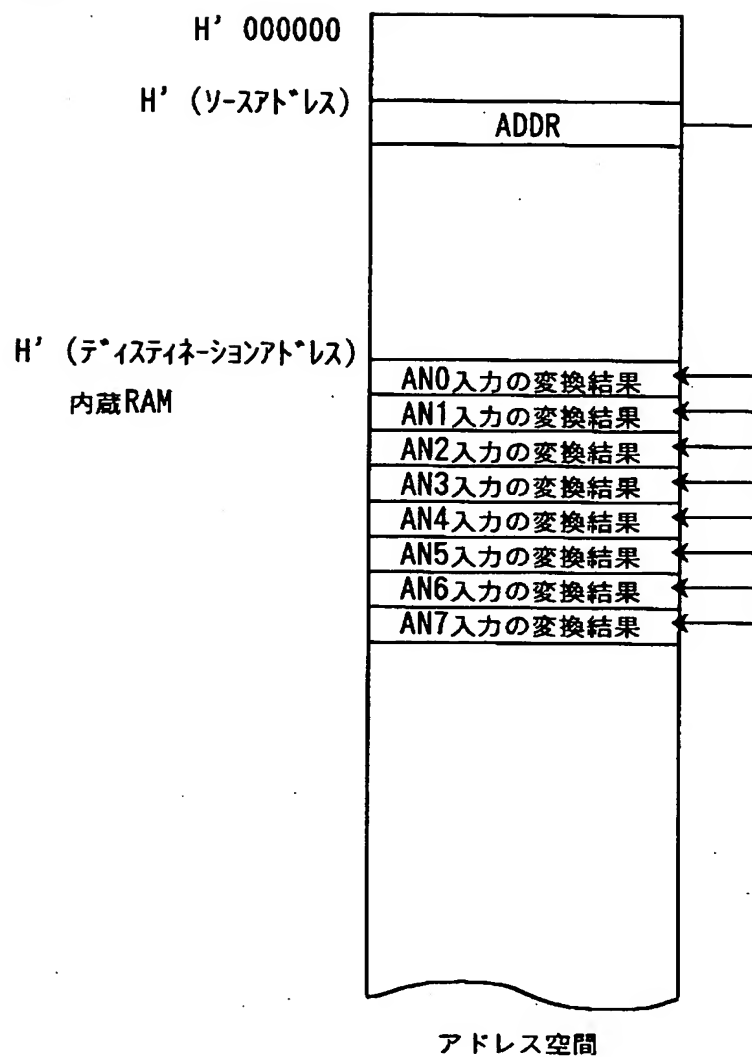
【図 6】

図 6

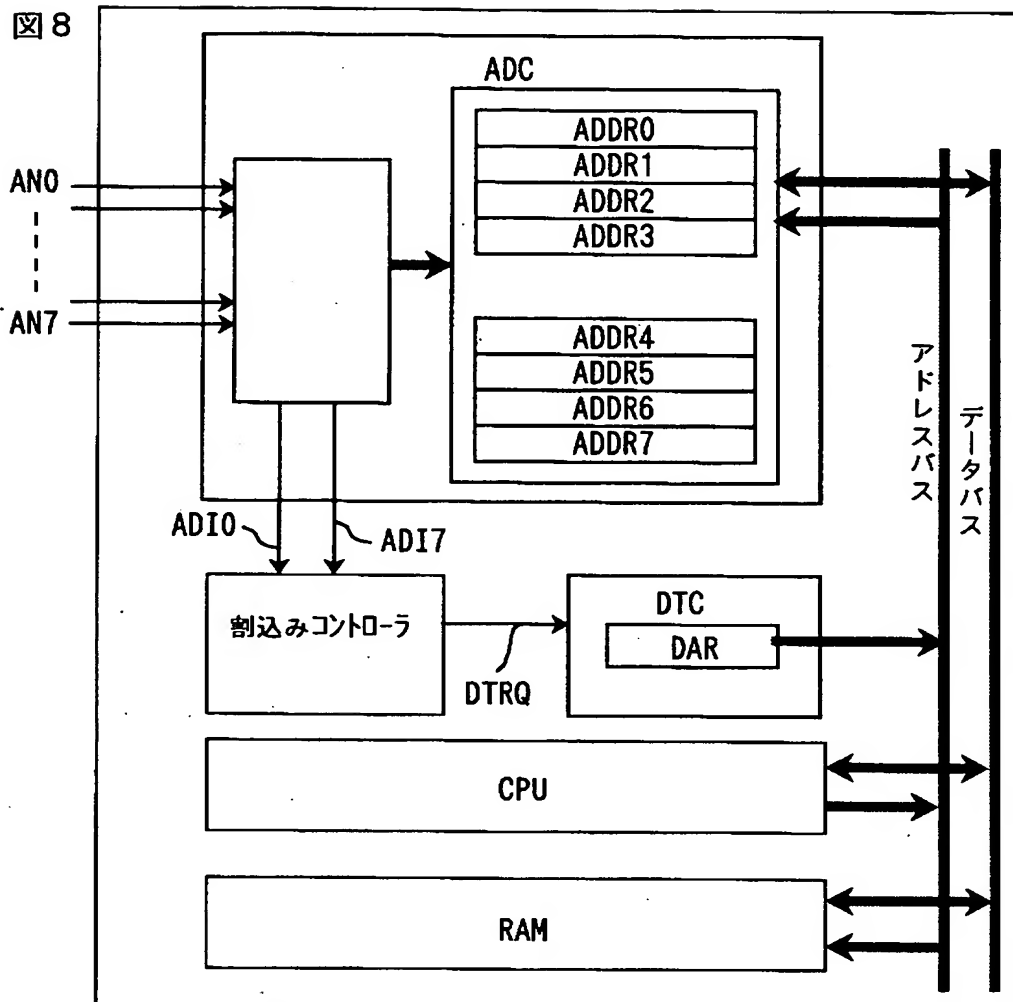


【図 7】

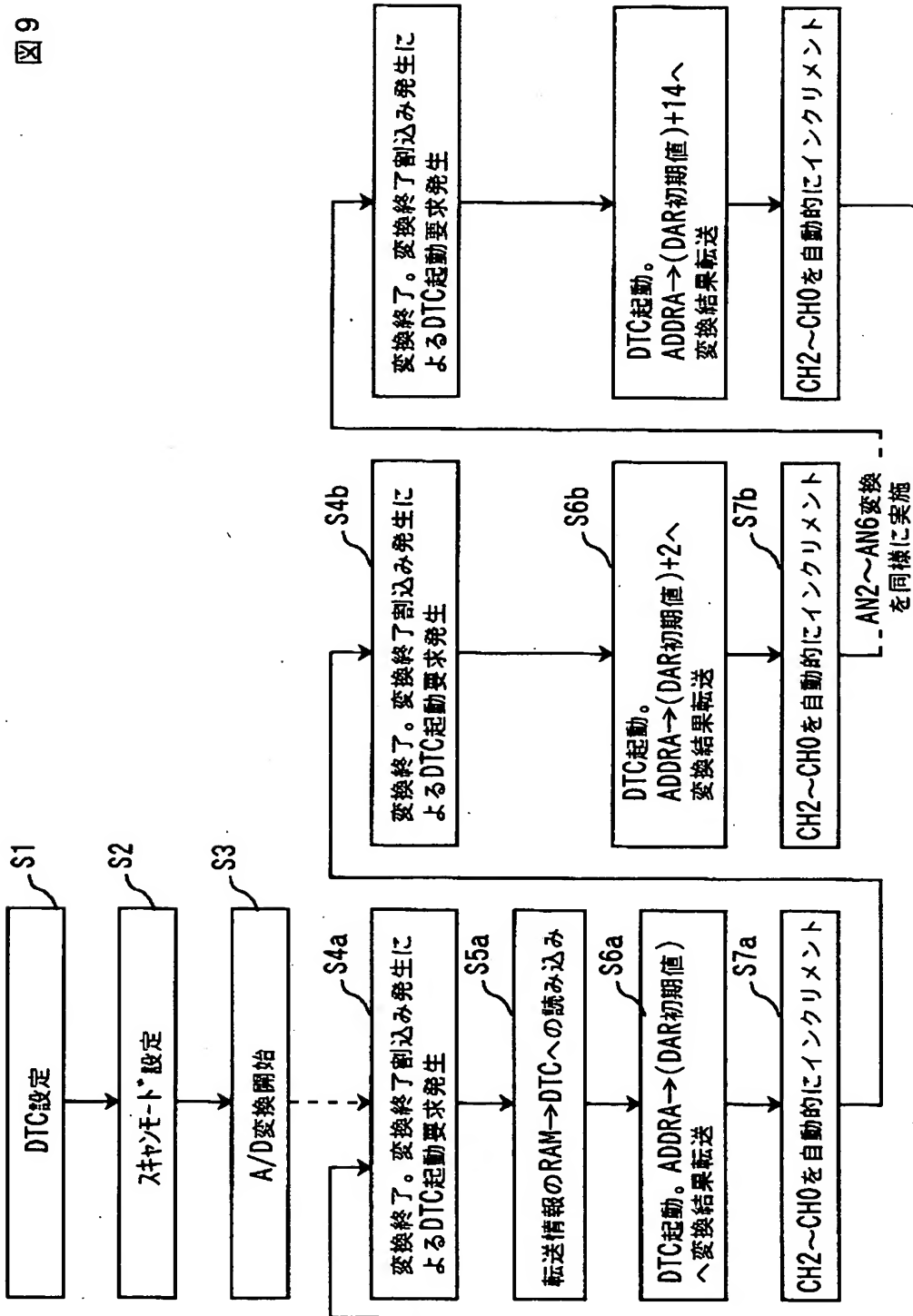
図 7



【図 8】



【図9】



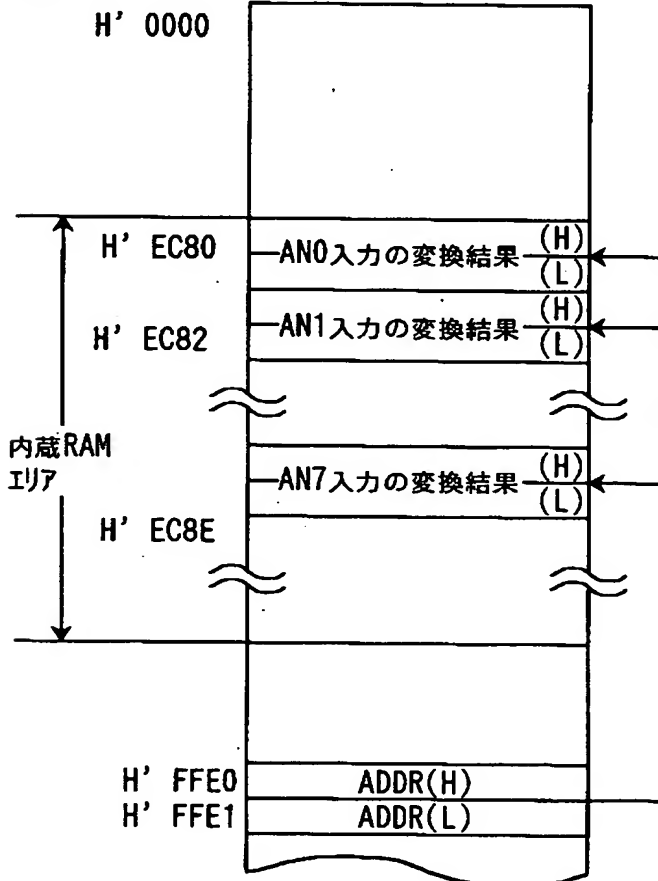
【図 1 0】

図 1 0

CH2	CH1	CH0	DAR				A/D変換
			A3	A2	A1	A0	
0	0	0	0	0	0	0	AN0入力を変換
0	0	1	0	0	1	0	AN1入力を変換
0	1	0	0	1	0	0	AN2入力を変換
0	1	1	0	1	1	0	AN3入力を変換
1	0	0	1	0	0	0	AN4入力を変換
1	0	1	1	0	1	0	AN5入力を変換
1	1	0	1	1	0	0	AN6入力を変換
1	1	1	1	1	1	0	AN7入力を変換

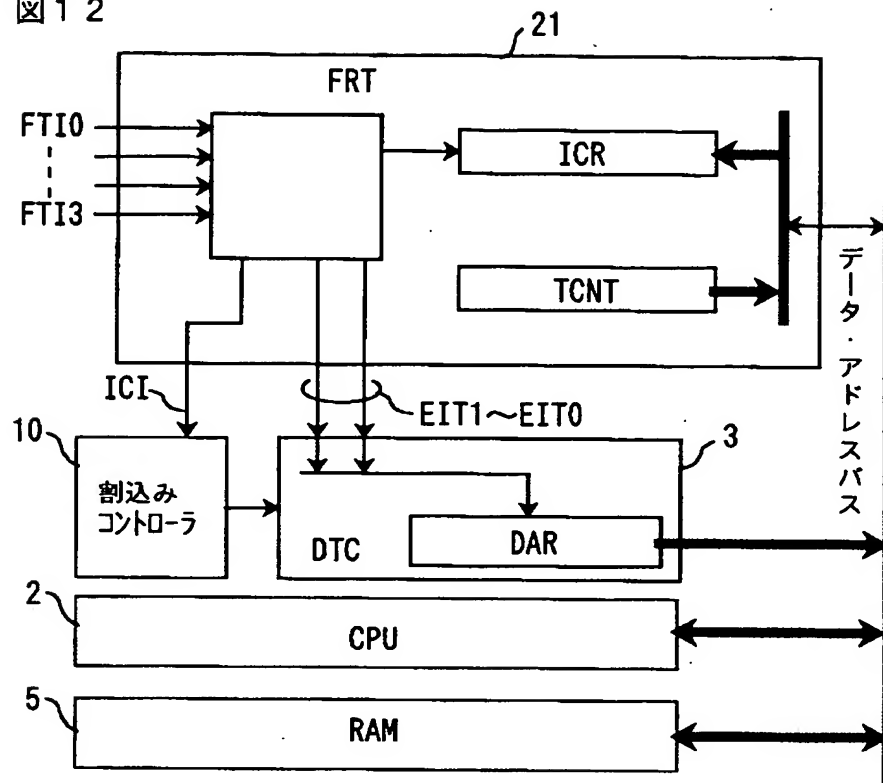
【図 1 1】

図 1 1



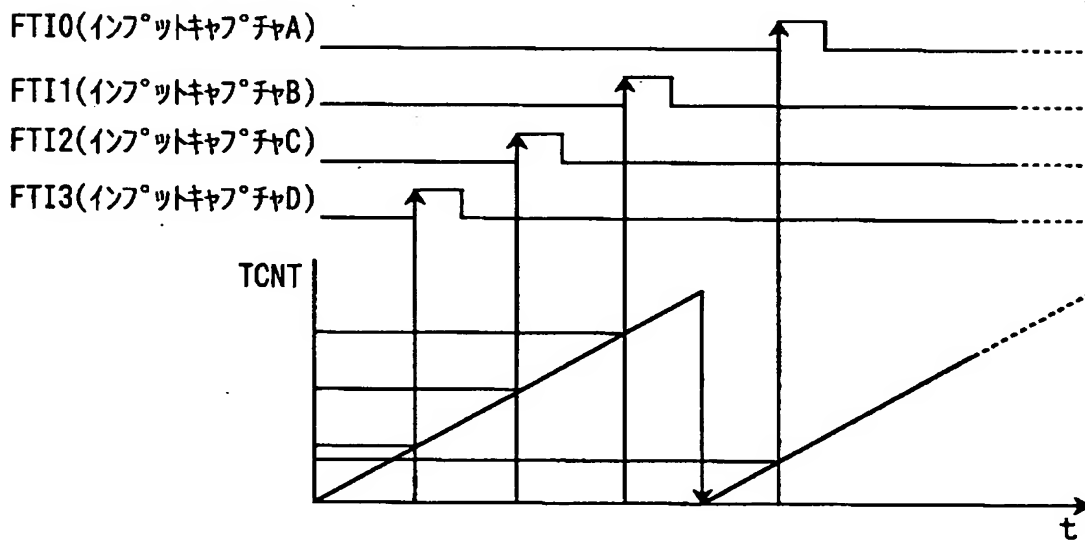
【図 1 2】

図 1 2



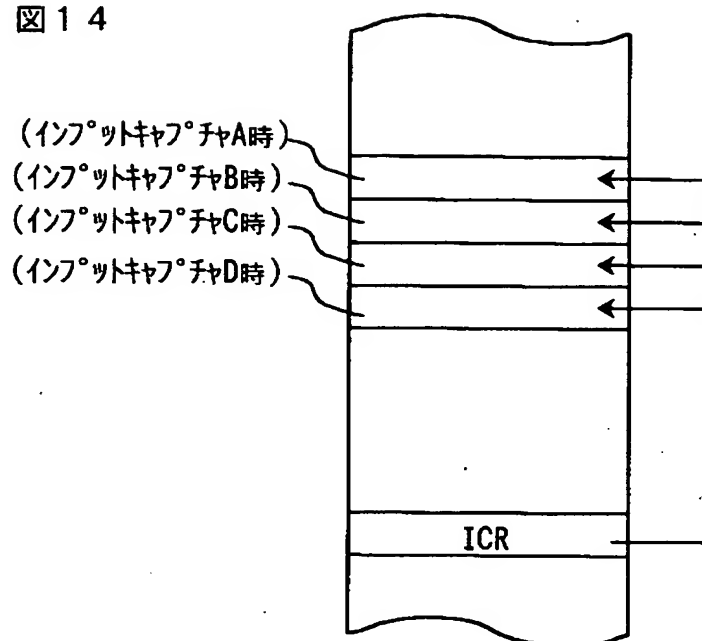
【図 1 3】

図 1 3 動作図タイミング



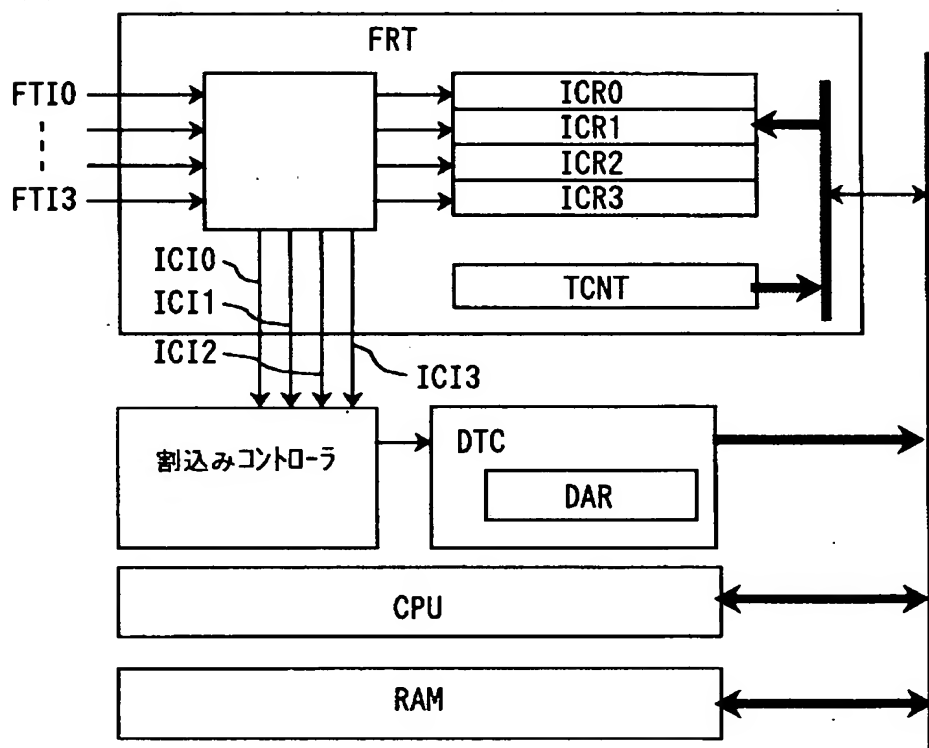
【図 14】

図 14



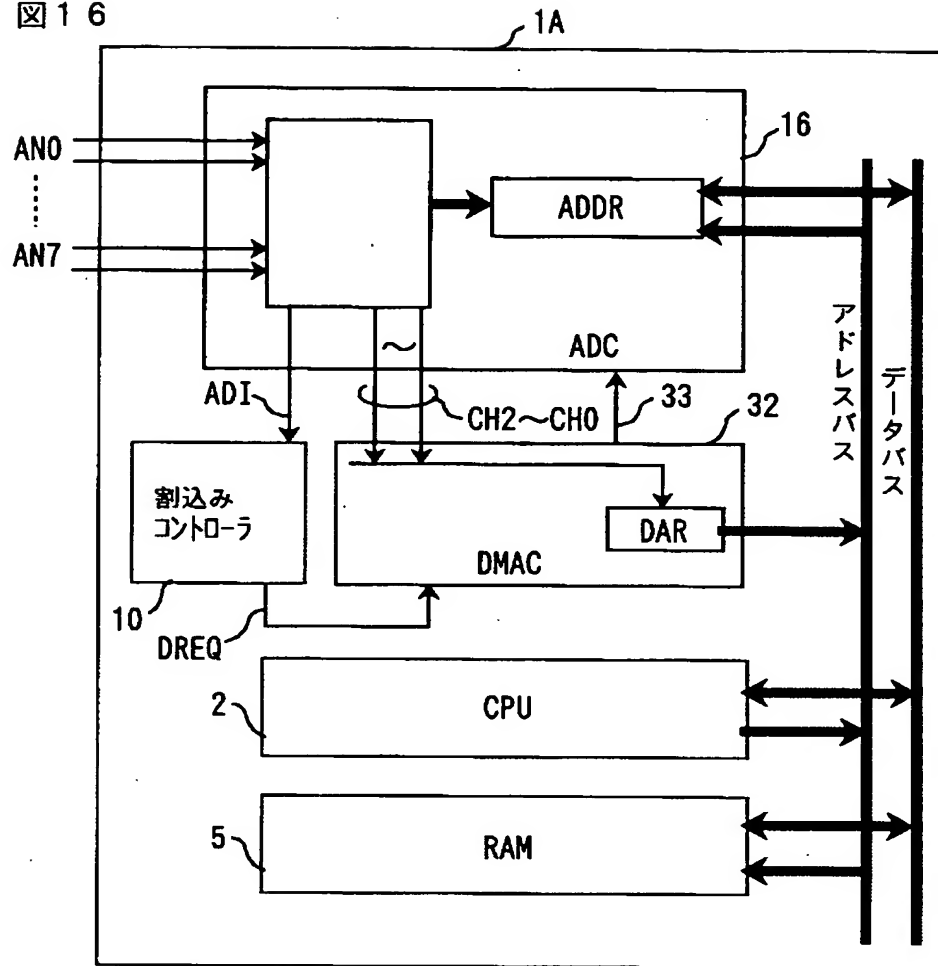
【図 15】

図 15



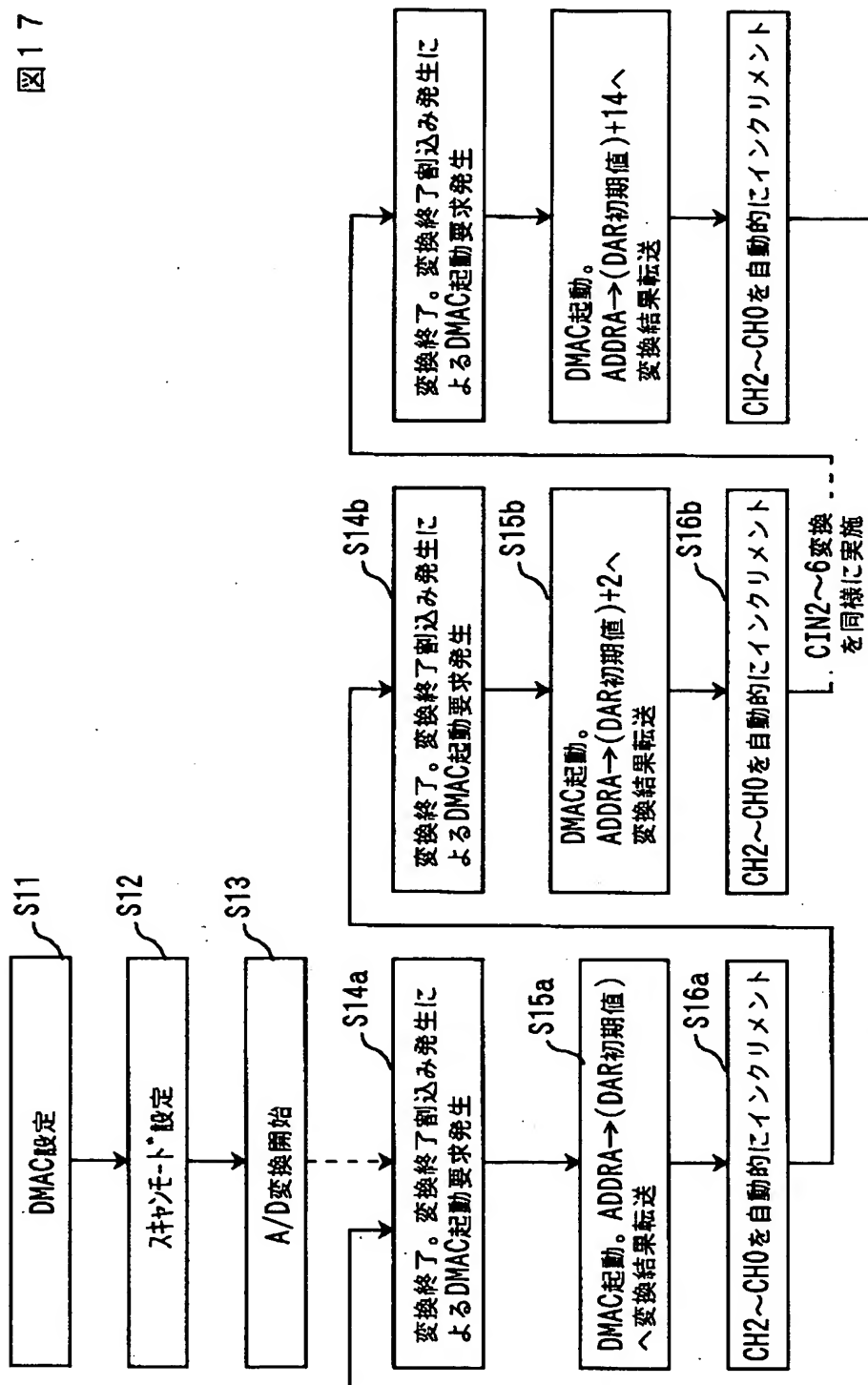
【図 1 6】

図 1 6



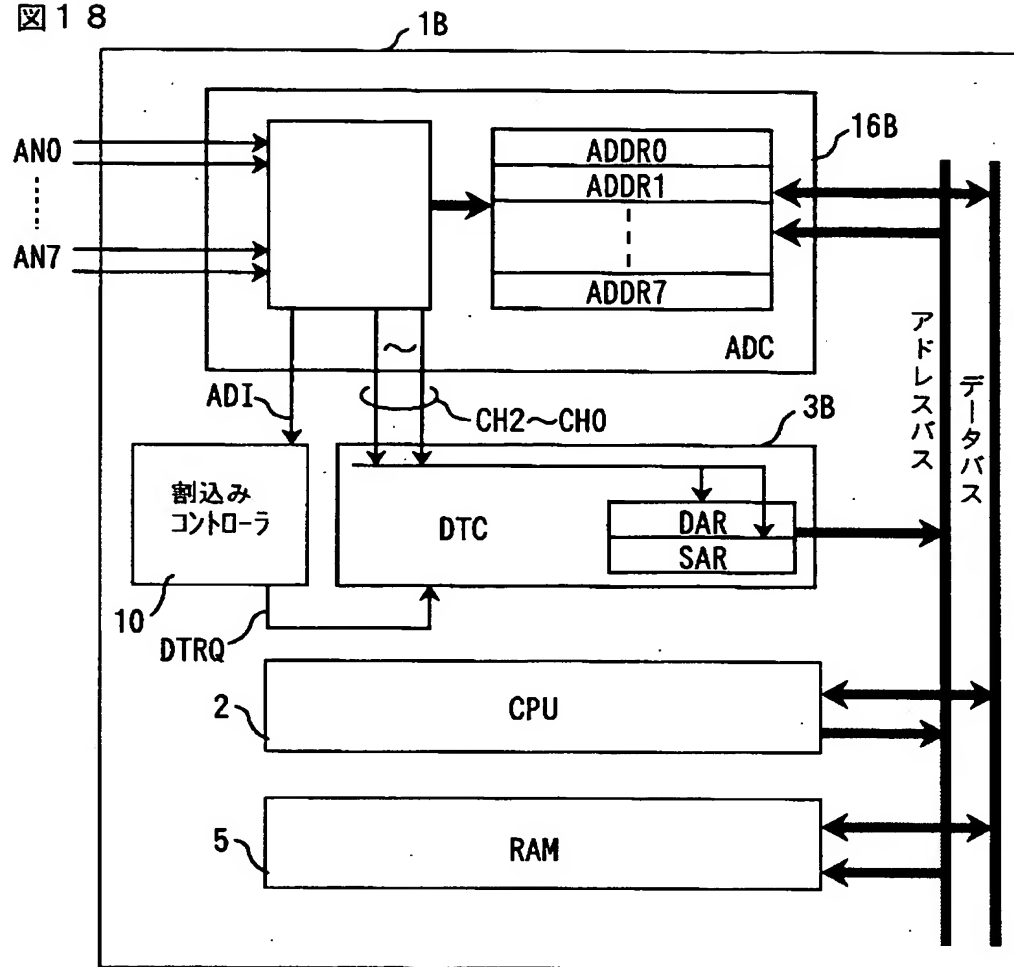
【図17】

図17



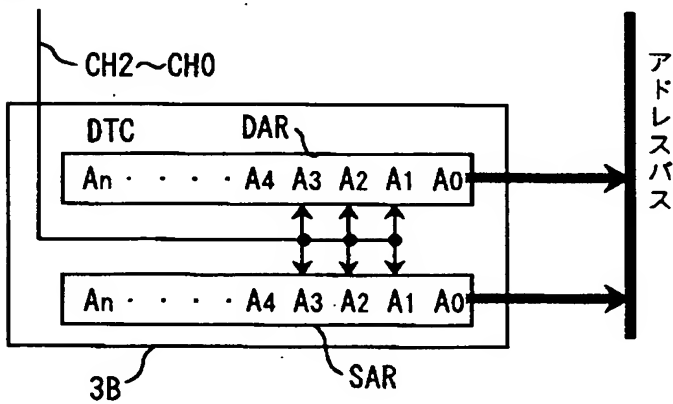
【図18】

図18



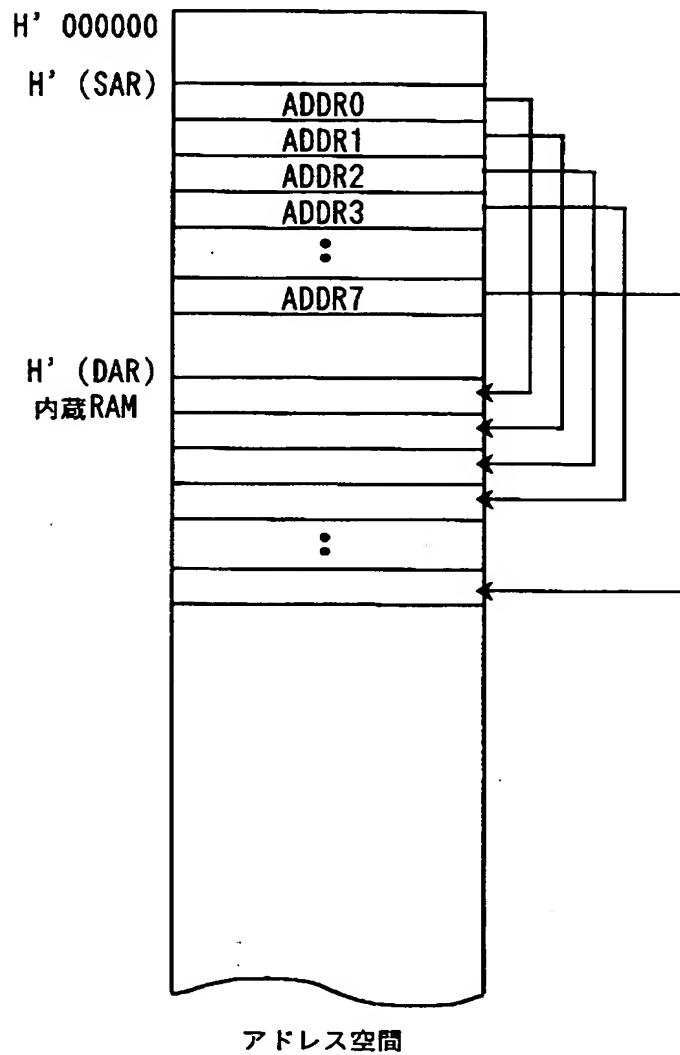
【図19】

図19



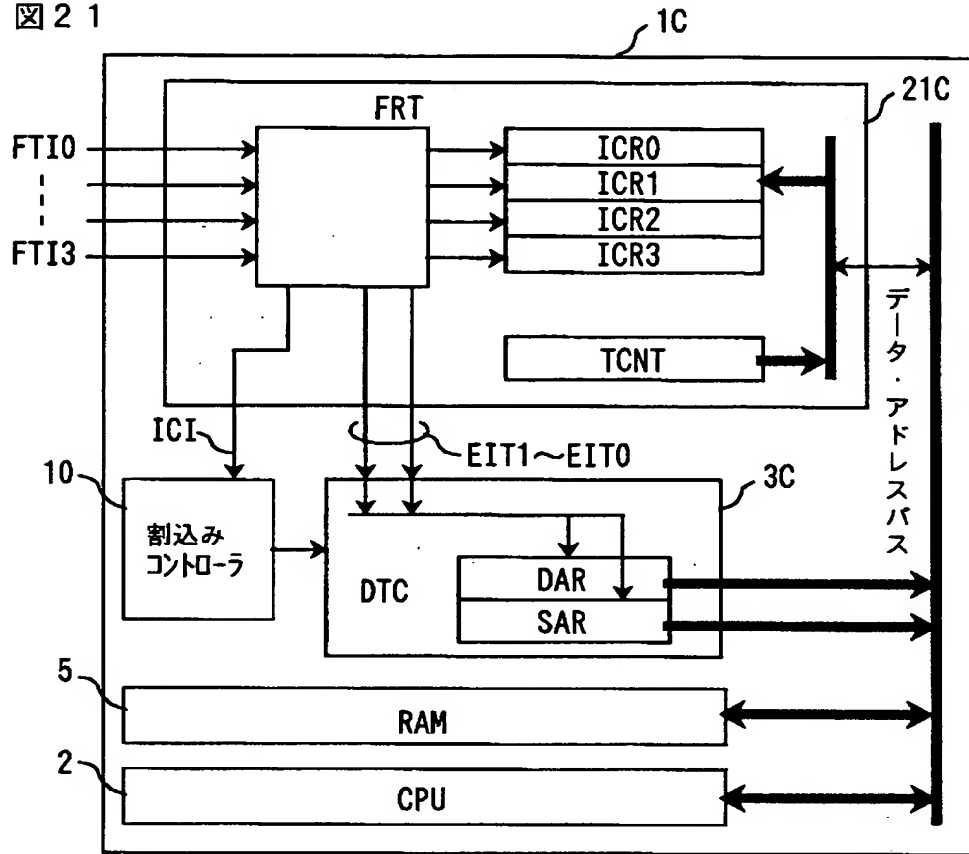
【図 2 0】

図 2 0



【図 2 1】

図 2 1



【書類名】 要約書

【要約】

【課題】 周辺回路の入力チャンネル数に対してデータレジスタの数を少なくする

【解決手段】 中央処理装置の制御に基づいてデータ転送制御可能なデータ転送制御回路（３）周辺回路（１６）とを有し、周辺回路は、入力チャンネルのような入力端子を選択し、選択した入力端子からの入力データを処理し、処理結果の転送を要求すると共に当該選択した入力端子を識別可能な識別情報（CH 2 ～ CH 0）を出力する。データ転送制御回路は周辺回路からの識別情報に基づいて下位複数ビットが可変可能にされた転送先アドレスレジスタ（DAR）を有する。周辺回路で処理されたデータを転送する転送制御回路において転送先の下位複数ビットは当該周辺回路側から制御可能になる。これにより、周辺回路は入力端子毎に入力データの処理結果を格納するデータレジスタを入力端子毎に対応して備えることを要しない。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日
[変更理由] 新規登録
住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233594]

1. 変更年月日 1990年 8月31日
[変更理由] 新規登録
住 所 北海道亀田郡七飯町字中島145番地
氏 名 日立北海セミコンダクタ株式会社